طراحی مدار مجتمع

دیجیتال

VLSI

Subject: VLSI

Year. ۹۲ Month. ۴ Date. ۲۸ (۱)

۷

مراجع:

1) Digital Integrates Circuits. A Design Perspective.
J. Rabaey

2) Introduction to VLSI Circuits and Systems
J.P. Uyemura

3) CMOS VLSI Design. A Circuits and Systems Perspective
N. Weste and D. Harris

4) Principles of CMOS VLSI Design
N. Weste and K. Eshraghian

- مروری بر سیستمهای VLSI
- تکنولوژی NMOS و CMOS
- گیتهای منطقی استاتیک
- محاسبه خازن و تاخیر مدار
- محاسبات توان مصرفی
- طراحی مدارهای منطقی دینامیکی
- مدارهای ترتیبی
- طراحی مدارهای منطقی BiCMOS
- حافظه های CMOS
- مدارهای I/O
- طراحی مدارها با مصرف توان کم

Sunwood

Subject: VLSI

Year. ۹۲ Month. ۹ Date. ۲۸ (۲)

پروژه درسی : طراحی مدار در سطح ترانزیستور در هریک از موضوعات فوق

Razaghian @ azad.ac.ir الگوریتم طراحی نرم افزار ملاک نیست

گزارش نهایی بصورت پرینت شده + CD حاوی شبیه سازی + ورودی نرم افزار

- انتخاب موضوع تا ۱۵ آبان ۹۲
- زمان تحویل پروژه ۲۳ بهمن ۹۲

- طراحی مدارهای مجتمع دیجیتال
- طراحی مدارهای منطقی دینامیک Dynamic Logic
- طراحی مدارهای منطقی استاتیک Static Logic
- جمع کننده با تاخیر کم یا سرعت بالا
- طراحی مدارهای دیجیتالی با مصرف توان کم
- طراحی مدارهای BiCMOS

شبیه سازی ← در صورت وجود اختلاف با مرجع، توجیح یا حل کردن اختلاف

تمرکز بر روی مدارهای مجتمع دیجیتال است.

Subject: VLSI

Year. ۹۲ Month. ۶ Date. ۲۸ (۳)

۷

ویژگیهای مدارهای مجتمع:

۱- قابلیت اطمینان بالا

۲- حجم و وزن کم

۳- توان مصرفی پایین

۴- هزینه اندک

سال	تکنولوژی	تعداد تقریبی ترانزیستور در هر تراشه	محصولات نوعی
۱۹۴۷	اختراع ترانزیستور	۱	
۱۹۵۰	اجزاء گسسته	۱	دیود و ترانزیستور
۱۹۶۱	SSI	<۱۰	گیتهای منطقی
۱۹۶۶	MSI	۱۰-۱۰۰۰	شمارنده‌ها، جمع کننده‌ها، ضرب کننده‌ها، میکرو پروسسورهای ۴ بیتی
۱۹۷۱	LSI	۱۰۰۰-۲۰۰۰۰	میکرو پروسسورهای ۸ و ۱۶ بیتی، واحدهای حافظه
۱۹۸۰	VLSI	۲۰۰۰۰-10^6	میکرو پروسسورهای ۳۲ بیتی
۱۹۹۰	ULSI	10^6-10^7	
۲۰۰۰	GSI	>10^7	

معمولاً اگر تعداد ترانزیستورها بیشتر از ۱۰۰۰ باشد VLSI نامیده می‌شود.

گو اینکه تعداد ترانزیستورها علت اصلی پیشرفت تکنولوژی می‌باشد.

Sunwood

Subject: VLSI

Year. ۹۲ Month. ۹ Date. ۲۸ (٤)

۷ ترانزیستور

کوچکترین مقداری که می‌توان ساخت با نام Min Feature معروف است

↳ eg. ۰.۱۸ μm

قانون مور:

تعداد ترانزیستورهای هر تراشه هر ۱۸ ماه (تا دوسال) دوبرابر می‌شود.

به سبب اندازه، کل پارامترهای فیزیکی ترانزیستور تغییر می‌دهد، فقط اندازه نیست

* جریان‌های نشتی بیشتر اذیت می‌کند (بیشتر)

* پارامترهایی که در این سیرکیت مطرح می‌باشد ← توان مصرفی و سرعت می‌باشد

(تأخیر)

اختراع ترانزیستور با BJT شروع شد ← که مشخصات زیر را (بعضی از آن) است

$$I_C = I_S e^{V_{BE}/V_T}$$

درصد بیشتر هم اینک از ترانزیستور MOS استفاده می‌شود ←

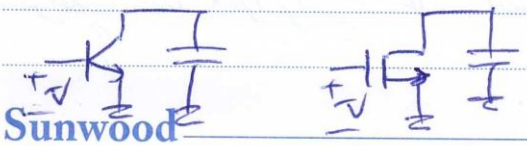
$$I_D = \frac{\beta}{2}(V_{GS} - V_T)^2$$ (ناحیه اشباع)

که یک عنصر درجه دوم است.

چرا به سراغ ترانزیستور MOS رفتیم؟

- اندازه کوچک
- توان مصرفی پایین

تأخیر؟ کدام ترانزیستور به لحاظ سرعت بالاتر هستند یعنی یک خازن را کدام سریعتر شارژ می‌کند؟



ج BJT جون نازک است.

Sunwood

Subject: VLSI

Year. ۹۲ Month. ۹ Date. ۲۸ ۵

۷

برای استفاده از هر دو خاصیت از BJT و MOS استفاده می‌کنیم.

تکنولوژی
NMOS
PMOS
CMOS = NMOS + PMOS
BiCMOS = BJT + CMOS

فضای کمتری اشغال می‌کند

← تکنولوژی غالب CMOS: به دلیل توان مصرفی + تأخیر (سرعت)

CMOS مقایسه با

* چرا PMOS استفاده نمی‌کنیم؟ ← چون: NMOS داشن برجع

- به سطوح ولتاژ منفی نیاز است.
- در N الکترون‌ها حامل انرژی هستند و در P حفره‌ها حامل انرژی هستند.
- موبیلتی الکترون‌ها بیشتر است. ← mobility

ص ۲ کارایی سرعت برحسب توان در تکنولوژی‌های موجود

CMOS توان مصرفی و سرعت مناسب است.

چرا از سیلیکون استفاده می‌کنیم؟ برای بهتر از ژرمانیوم
- ارزان و در دسترس است
- دانش فنی در مورد آن زیاد است. سازگاری خوبی با فرآیندی تکنولوژی دارد.
- کاربرد حرارتی خوبی دارد.

Subject: VLSI

Year. ۹۲ Month. ۶ Date. ۲۸ (۹

* فرایند ساخت ترانزیستور NMOS :

- اکسیداسیون (لایه اکسید) ← SiO_2 عایق
- نفوذ Diffusion
- کاشت یون Ion Implantation } نفوذ ناخالصی
- لایه نشانی Deposition
- زدودن Etching

- اکسیداسیون

اکسید مانع خوبی است (از نظر الکتریکی) و هیچگونه ناخالصی نفوذ پیدا نمی‌کند.

- ضخیم ← اکسید میدان Field Oxide : (1μm)
- نازک

- نفوذ

نفوذ ناخالصی در دماهای بالا ۸۵۰°C تا ۱۰۰۰°C در مدت زمان طولانی (ساعتها)

- کاشت یون

نفوذ در دمای معمولی و از طریق ایجاد میدان

- دمای اتاق
- پروفایل ناخالصی مشخص است. می‌توان مقدار ناخالصی را کنترل نمود

- گران‌تر نیاز به تجهیزات خاص دارد
- عمق نفوذ زیاد نیست. حدود 0.6μm

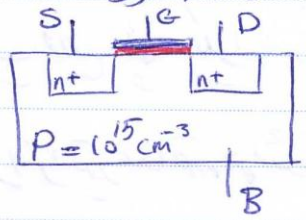
- لایه نشانی
قرار دادن یک لایه از یک فیلم بر روی سیلیکون ← بخار شیمیایی / خلأ

- زدودن
در موقع لایه نشانی باید کل سطح را پوشانیم و برای برداشتن جایی خاص از زدودن استفاده می‌شود.

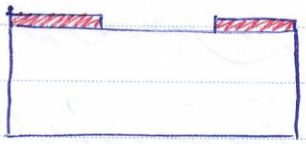
فرایند لایه نشانی و زدودن توسط خلال توسط فتولیتوگرافی انجام می‌شود و محل لایه و یا زدودن توسط Mask انجام می‌شود.

* فتورزیست ـــ مثبت : مقاومت باند تغییر می‌کند.
/ منفی :

یک ترانزیستور NMOS باید بر روی یک بستر نوع P ساخته شود.



ابتدا یک اکسید ضخیم (1μm) روی کل سطح ویفر می‌پوشانیم و منطقه‌ای که می‌خواهیم ترانزیستور ساخته شود، توسط فتورزیست و Mask و زدودن مناسب و سپس زدودن پوشانده می‌کنیم ←



پنجره‌ای در اکسید ← مشخص نمودن ناحیه فعال ترانزیستور

- در مرحله بعدی با ماسک سورس Self Aligned ، گیت ترانزیستور را می‌سازیم.
در این مرحله یک لایه نازک اکسید می‌پوشانیم.
برای ساخت گیت بجای استفاده از فلز از Poly Silicon استفاده می‌کنیم.

احسام حامد ← آمورف ساختار منظم ندارد
کریستال ساختار منظم دارد.
اگر جسم کریستال را در دو بعد یک بیت آمورف ساخته شود، ساختار کریستالی در نقاط مختلف ساخته می‌شود که Poly Silicon بین این دو ساخته می‌شود.
که خاصیتهای شبیه فلز دارد ولی در مقابل حرارت مقاوم است.

- یک لایه پلی سیلیکون و با ماسک قبلی است. Mask ، نوردهی مناسب، گیت ترانزیستور ساخته می‌شود.
- در مرحله بعد برای تزریق ناخالصی نوع n با چگالی زیاد (n^+) بدون نیاز به Mask (به علت وجود اکسید بر روی مناطق دیگر) در کوره قرار می‌دهیم.
- در مرحله بعدی برای باز کردن پنجره‌های تماس، نیاز است ناخالصی مورد نظر را فلزکاری باز شود و بقیه جاها پوشیده شود. بنابراین یک لایه اکسید پوشانیده می‌شود و با ماسک قبلی است، Mask و نوردهی و ... پنجره‌های اتصال باز می‌شود

Sunwood

- در هر مرحله یک فلز یا نیمه‌رسانا رسوب داده می‌شود و با یک فتورزیست، Mask و حلال، نقاط مورد نظر برای اتصال ایجاد می‌شود.

* در ساخت مدار مجتمع تعداد ماسک‌ها به جهت افزایش هزینه مهم است:

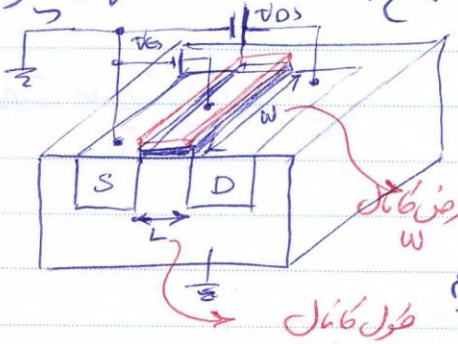
(پیچیدگی کار و هزینه ساخت با تعداد ماسک‌ها مشخص می‌شود)

ماسک‌ها:
۱- تعیین ناحیه فعال ترانزیستور
۲- تعیین گیت ترانزیستور
۳- باز کردن پنجره‌ی تماس
۴- فلزکاری

تا اینجا ترانزیستور ساخته شده از نوع افزایشی بود.

برای ساخت ترانزیستورهای تخلیه‌ای (وجود کانال نوع n در زمان ساخت) باید در یک مرحله قبل از گیت باید از روش نفوذ کاشت یون و یک Mask دیگر استفاده شود. ← ترانزیستور تخلیه‌ای نیاز به یک Mask اضافه دارد

1:08
در هنگام ساخت CMOS یا BiCMOS همیشه تعداد ماسک‌ها بیشتر می‌شود.

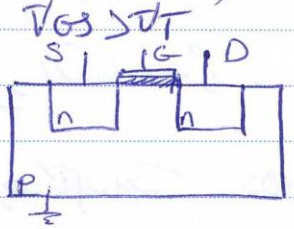


- اگر V_{DS} برقرار شود، جریان از کانال عبور می‌کند. ← دیود گیت در بایاس معکوس
برای برقراری جریان یک ولتاژ بین گیت و سورس قرار می‌دهیم و زیاد می‌کنیم
عرض کانال W
طول کانال L
که ابتدا کانال تخلیه می‌شود و سپس مقدار الکترون‌ها افزایش می‌یابد.

Sunwood

با افزایش V_{GS} ~~نوع~~ نوع ترانزیستور ناخالص کانال به n تغییر می‌کند که
یعنی با روشن اتفاق افتاده! (Inversion) کانال از P به n تبدیل شده است.
به ولتاژی که در آن روشن اتفاق می‌افتد، ولتاژ آستانه یا V_T گویند.
بنابراین برای اینکه کانال در ترانزیستور تشکیل شود باید در شرط $V_{GS} > V_T$ صدق کند
(در PMOS ولتاژ منفی می‌شود)

مشخصه ولتاژ جریان برای MOS هم برای $V_{GS}-I_G$ و هم برای $V_{DS}-I_D$ با
وجود داشته باشد. که به علت وجود عایق در گیت، I_G جریان صفر است
بنابراین مشخصه $V_{DS}-I_D$ فقط وجود خواهد داشت (به شرط وجود کانال)



حالت غیر اشباع (تریود)

$Q = C \cdot V$ (ظرفیت خازنی گیت، ولتاژی که به آن اعمال می‌شود)

$C = \varepsilon_0 \varepsilon_r \frac{A}{d_{ox}} \Rightarrow \frac{C}{A} = C_0 = \frac{\varepsilon_0 \varepsilon_r}{d_{ox}}$ (مساحت گیت، ظرفیت خازنی گیت)

ضخامت اکسید، خازن واحد سطح، $PF/\mu m^2$

نوع ماده گیت و ضخامت آن بستگی دارد

$$Q = \frac{\varepsilon_0 \varepsilon_r A}{d_{ox}} \left[(V_{GS} - V_T) - \frac{V_{DS}}{2} \right]$$

اثر ولتاژ DS بر روی کانال

V_{DS} ولتاژ $= \frac{V_{DS}}{2}$ ← $V_S = 0$ ، $V_D = V_{DS}$

چون تنها از V_T کانال وجود دارد

جریان درین، بار عبور کننده در زمان است:

$$I_D = \frac{Q}{t}$$

L

اگر بار کل طول کانال را با سرعت ثابت v طی کند.

$$L = v \cdot t \Rightarrow t = \frac{L}{v}$$

طول سرعت

E

از طرف اگر میدان برقرار شود e سرعت می‌گیرد (v) که E با V_T رابطه دارد

$v = \mu \cdot E$ ← قابلیت حرکت

$$\Rightarrow t = \frac{L}{\mu \cdot E} \Rightarrow t = \frac{L^2}{\mu_n \cdot V_{DS}}$$

$\frac{V_{DS}}{L}$ = E است بطول L ← V_{DS} تابعی از

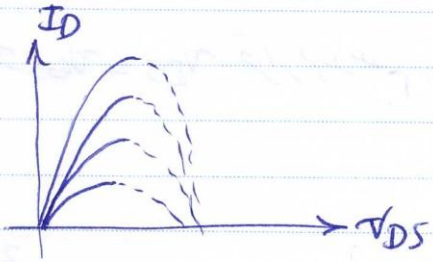
W.L

$$\Rightarrow I_D = \frac{Q}{t} = \mu_n \cdot \frac{\varepsilon_0 \varepsilon_r A}{d_{ox} \cdot L^2} \left[(V_{GS} - V_T) V_{DS} - \frac{V_{DS}^2}{2} \right]$$

$$\Rightarrow \boxed{I_D = \mu_n \cdot C_o \cdot \frac{W}{L} \left[(V_{GS} - V_T) V_{DS} - \frac{V_{DS}^2}{2} \right]}$$

در ناحیه تریود

پس مشخصه بصورت زیر خواهد بود:



مقادیر ماکزیمم I_D از رابطه زیر بدست می‌آید:

$\frac{\partial I_D}{\partial V_{DS}} = 0 \Rightarrow \overbrace{\mu_n C_o}^{k_n} \frac{W}{L}[(V_{GS}-V_T)-V_{DS}] = 0$ $\quad \beta_n = k_n' \cdot \frac{W}{L}$

$\Rightarrow V_{DS} = V_{GS} - V_T$ ، $\boxed{I_D = \beta_n [(V_{GS}-V_T)V_{DS} - \frac{V_{DS}^2}{2}]}$

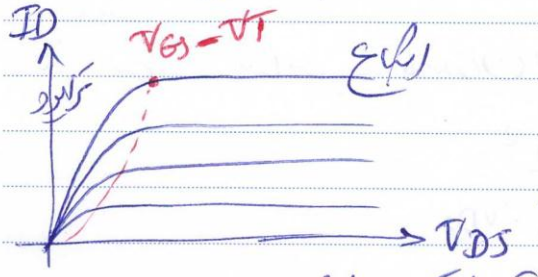
بیشترین جریان I_D که از کانال می‌گذرد، برابر با جریان اشباع است

بیشترین جریان قبل از سیر شدن

در حالت تریود:

$\boxed{V_{GS} \geq V_T}$ ، $\boxed{V_{DS} < V_{GS} - V_T}$

با افزایش V_{DS} مقدار ناحیه تخلیه افزایش می‌یابد، و عملاً کانال از سمت درین باریک می‌شود. و جریان افزایش نمی‌یابد، و شکل نمودار بصورت زیر خواهد بود:



* کانال از درین جدا می‌شود و باریکی بین درین و سورس وجود خواهد داشت که از خود مقاومت نشان دهد. پس جریان ثابت باقی می‌ماند.

برای بدست آوردن جریان I_D در حالت اشباع، در رابطه فوق مقدار $V_{DS} = V_{GS} - V_T$ قرار می‌دهیم:

$\Rightarrow I_D = \frac{\overbrace{\mu_n C_o}^{k_n}}{2} \cdot \frac{W}{L}(V_{GS}-V_T)^2$

$= \frac{k_n'}{2} \cdot \frac{W}{L}(V_{GS}-V_T)^2 \Rightarrow \Rightarrow \boxed{I_D = \frac{\beta_n}{2}(V_{GS}-V_T)^2}$

$\beta_n = k_n' \cdot \frac{W}{L}$ جریان حالت اشباع

Subject: VLSI

Year. ۹۴ Month. ۹ Date. ۲۸ (۱۳

۷

با برآورد شرط اشباع:

$V_{GS} \geq V_T$ ، $V_{DS} \geq V_{GS} - V_T$

۰۹۱۲۲۴۲۰۵۲۵ بابک جنت رحمتی

۹۴/۷/۴

در حالت قطع

$V_{GS} < V_T$

اثر بدنه: سورس - بالک

اگر $V_{SB} \neq 0$ اثری ایجاد می‌شود که به اثر بدنه معروف است که باعث افزایش ولتاژ V_T خواهد شد. زیرا:

$$\Rightarrow V_T = V_{T_0} + \gamma\left(\sqrt{|2\phi_F| + V_{SB}} - \sqrt{|2\phi_F|}\right)$$

(γ: ضریب اثر بدنه، $|2\phi_F| \simeq 0.6$)

شیب بخش در ناحیه اشباع: (اثر مدولاسیون کانال)

یعنی تغییر جریان D با V_{DS} مناسب است. که به شکل زیر در رابطه جریان نشان داده می‌شود:

$$I_D = \frac{k'_n}{2} \cdot \frac{W}{L}(V_{GS} - V_T)^2(1 + \lambda V_{DS})$$

(λ: ضریب مدولاسیون کانال)

$0.005 \leq \lambda \leq 0.02$ (بسته به تکنولوژی تغییر است)

Sunwood

Subject: VLSI

Year. ۹۴ Month. ۷ Date. ۴ (۱۶

۷

ترانزیستور تعبیر کلید:

مجزه نانیک ترانزیستور ← در مدارات دیجیتال

Subject: VLSI

Year. 98 Month. ۷ Date. ۲ (۱۴

۷

به علت مقدار کم λ، در حالت DC خیلی اهمیت ندارد و در نظر نمی‌گیریم.

در حالت AC مقدار λ در محاسبه مقاومت مدار تعادل کاربرد دارد. همچنین هنگامی که تغییرات I_D نسبت به زمان آنقدر زیاد نیست، در نظر گرفتن λ اهمیت پیدا می‌کند.

$$g_m = \frac{\partial I_D}{\partial V_{GS}} = K_n \cdot \frac{W}{L}(V_{GS}-V_T) = \beta_n (V_{GS}-V_T) = \beta_n \left(\sqrt{2\frac{I_D}{\beta_n}}\right)$$

β_n

$$\Rightarrow g_m = \sqrt{2\beta_n I_D}$$

تغییرات جریان خروجی به ولتاژ ورودی = هدایت

$$g_{ds} = \frac{1}{r_{ds}} = \frac{\partial I_D}{\partial V_{DS}} = \lambda \cdot \frac{K_n}{2} \cdot \frac{W}{L}(V_{GS}-V_T)^2 \simeq \lambda \cdot I_D$$

$\simeq I_D$

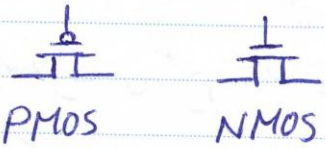
تغییرات جریان خروجی به ولتاژ خروجی.

یعنی λ فقط در جایی که می‌خواهیم مقاومت ترانزیستور را به دست آوریم استفاده خواهد شد. و هدف از وارد کردن مقدار λ برای محاسبه جریان I_D نیست، و هنگامی که می‌خواهیم از مدل AC ترانزیستور استفاده کنیم، مقدار λ را در رابطه بالا گذاشته و مقدار r_{ds} را حساب می‌کنیم.

از این به بعد مداراتی رو بحث می‌کنیم که با کمک ترانزیستور ساخته می‌شوند مثل گیت‌ها و دیگر مدارات دیجیتال مورد بررسی قرار می‌گیرند.

ترانزیستور بعنوان کلید:

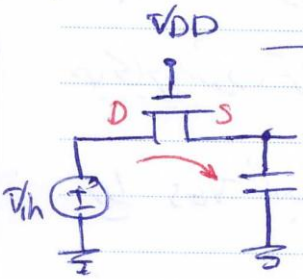
ساده‌ترین شکل مدار دیجیتال، مجموعه‌ای از ترانزیستورهای دو مدارات دیجیتال



استفاده از ترانزیستور به عنوان کلید است که یا از NMOS یا PMOS استفاده می‌شود

NMOS

شکل مداری مورد استفاده از کلید معمولاً بصورت زیر است:



یعنی یک ولتاژ VDD برای کنترل کلید، یک ولتاژ ورودی Vin و یک خازن که مقدار سطح ولتاژ را اندازه می‌گیرم. ورودی در سطوح منطقی ۱ است یا ۰

- در ابتدا ورودی را VDD می‌گذاریم و کنترل کلید را هم VDD وصل می‌کنیم و بعد از مدتی خازن جریان از ترانزیستور عبور می‌کند تا خازن شارژ شود و ولتاژ خروجی Vomax

$$V_{omax} = V_{DD} - V_T \quad , \quad V_{in} = V_{DD}$$

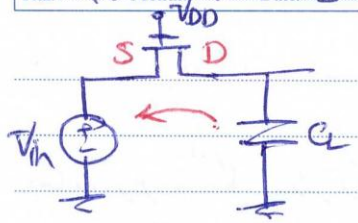
بالا می‌رود.

زیرا اگر از این مقدار بیشتر شود، ترانزیستور خاموش می‌شود. زیرا:

$V_{GS} = V_{DD} - V_o$ ، $V_{GS} > V_T$ شرط روشن شدن ترانزیستور

$V_{DD} - V_T$ در منطق به عنوان "یک" ضعیف شناخته می‌شود. پس یعنی NMOS، "یک" را خوب منتقل نمی‌کند. (ترانزیستور عبور NMOS)

Sunwood pass transistor



حال فرض می‌کنیم خازن شارژ شده باشد، ($V_{DD}-V_T$, C)

ورودی را تغییر وضعیت می‌دهیم به صفر.

اگر ورودی را صفر کنیم، جهت جریان برعکس شده، خازن دشارژ می‌شود

(البته در صورتی که کلید ترانزیستور به V_{DD} متصل شود). در این صورت جهت D و S

جابجا می‌شود، ترانزیستور روشن می‌شود، خازن دشارژ می‌شود

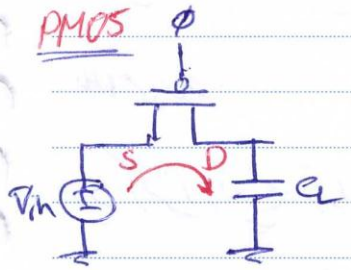
$V_{in}=\phi$

$V_{omin}=\phi$ → ترانزیستور همیشه روشن است. زیرا V_{GS} ثابت است $= V_{DD}-V_{in}$

یعنی "صفر" را خوب منتقل می‌کند (NMOS) ← و تا آخرین لحظه تغییر است.

برای ترانزیستور کمل PMOS، برای کنترل باید ولتاژ صفر گذاشته شود.

بصورت زیر خواهد بود:



با فرض کنترل صفر، شرایط را برای ورودی یک و صفر

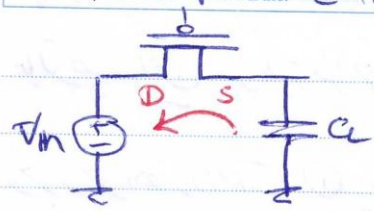
منطقی بدست می‌آوریم:

$V_{in}=V_{DD}$ → T: ON (همیشه روشن) → خازن شارژ → $V_{omax}=V_{DD}$

↓

$V_{GS}=-V_{DD}$ ↗

یعنی ترانزیستور PMOS "یک" را خوب منتقل می‌کند



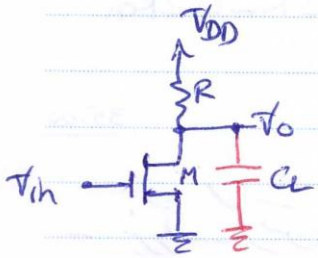
حال اگر ورودی را صفر کنیم و فرض کنیم خازن تا V_{DD} شارژ شده باشد:

$V_{in}=0$ → T:ON → خازن دشارژ → $V_{Omin}=0+|V_{tp}|$

یعنی ترانزیستور PMOS "صفر" را خوب منتقل می‌کند. زیرا اگر بخواهد از این مقدار کمتر شود، ترانزیستور خاموش می‌شود. چون در PMOS جریان از D به S است، کمتر شدن V_o از مقدار بالا باعث کم شدن V_{GS} از مقدار V_T می‌شود.

استفاده از ترانزیستور در گیت‌های منطقی:

not ← ساده‌ترین مدار گیت منطقی مدار inverter است.



اینورتر با بار مقاومتی:

تا $V_{GS}<V_t$ ترانزیستور خاموش است.

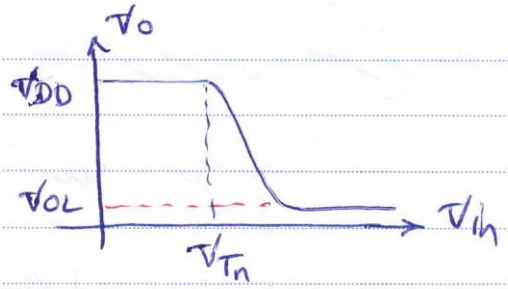
$V_{in}<V_{Tn}$ → M: off → $V_o=V_{DD}$

خازن از طریق R شارژ می‌شود.

$V_{in}\geq V_{Tn}$ → M: on → $V_{OL}=V_{DD}\cdot\frac{R_{ch}}{R+R_{ch}}$

R_{ch} کانال ترانزیستور — خازن دشارژ می‌شود، بستگی به R_{ch} و R دارد

Sunwood



با توجه به این دو نکته طراحی در این مدار وجود خواهد داشت ① مقدار R ② اندازه ترانزیستور (Rch)

معمولاً خروجی این مدارها فرض می‌شود که به ورودی یک مدار مشابه وصل می‌شود و ورودی آن نیز از خروجی یک مدار مشابه گرفته می‌شود. در حالت High ولتاژ خروجی مثل شیب

و مقدار مقاومت باید مقداری باشد که ترانزیستور طبقه (مدار) بعد در حالت ورودی صفر حداکثر $0.2V_{DD}$ باشد یعنی:

$$V_{OL} < V_{Tn} \Rightarrow V_{DD}\cdot\frac{R_{ch}}{R+R_{ch}} < V_{Tn}$$

$$\Rightarrow V_{DD}\cdot\frac{R_{ch}}{R+R_{ch}} < 0.2V_{DD} \Rightarrow R_{ch} < 0.2R + 0.2R_{ch}$$

$$\Rightarrow R > 4R_{ch} \Rightarrow \boxed{\frac{R}{R_{ch}} > 4}$$

35:00

- بزرگ گرفتن R باعث افزایش فضای اشغال شده می‌شود. (چون برای ساخت R از لایه‌ای موجود استفاده می‌شود)
- اختلاف R با Rch: در حالت شارژ و دشارژ خازن زمان‌های متفاوت خواهد بود (Rch از طریق R) (R از طریق Rch)

- اگر R را ثابت بگیریم، Rch را کوچک در نظر بگیریم ← هدایت ترانزیستور باید بالاتر برود ← یعنی جریان بیشتر شود ←

در ناحیه اشباع، اگر بخواهیم هدایت بیشتر شود طبق فرمول باید $\frac{W}{L}$ بالاتر برود

$I_D = \frac{k'_n}{2}\cdot\frac{W}{L}(V_{GS}-V_T)^2$ ↑ (یعنی جریان بیشتر شود)

که با رابطه بالا باعث افزایش اندازه ترانزیستور دارد ← افزایش سطح اشغال شده

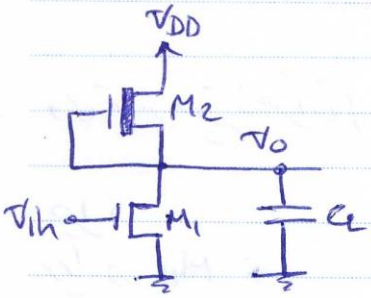
- از طرفی در صورت کاهش R طبق رابطه زیر، باعث افزایش توان می‌شود:

$P_R = \frac{(V_{DD}-V_{OL})^2}{R}$ ← توان حرارتی تلفاتی

← در حالتی که خروجی LOW می‌شود:

* برای کوچک کردن فضای اشغالی بجای R یک عنصر دیگر بگذاریم که علاوه بر اینکه فضای کمی اشغال کند، رفتاری شبیه مقاومت از خود نشان دهد.

بنابراین باید به گونه‌ای باشد که به محض افزایش ولتاژ دوسرش، جریان شروع به افزایش کند. ترانزیستورهای NMOS افزایشی نیاز به V_T دارند تا روشن شوند و جریان عبور دهند. برای حل این مشکل از ترانزیستورهای تخلیه‌ای استفاده می‌کنیم.



* اینورتر با بار تخلیه‌ای (NMOS)،

در ترانزیستور تخلیه‌ای کانال از قبل وجود دارد و به محض اعمال ولتاژ، روشن می‌شود (وقتی V_{GS} آن صفر یا بزرگتر شود روشن می‌شود)

$V_{in} < V_{Tn} \rightarrow M_1 : off \rightarrow V_o = V_{DD}$

جریان از طریق M_2 عبور را شروع می‌کند

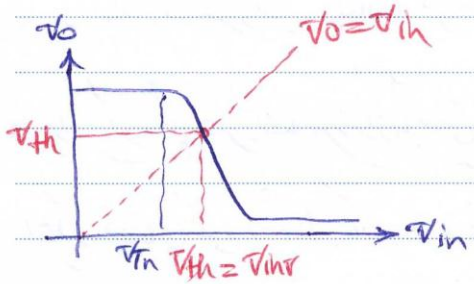
Sunwood

ولتاژ آستانه ترانزیستور تخلیه ای منفی است ولی وقتی V_{GS} صفر نشود، ترانزیستور روشن خواهد بود و جریان وجود دارد.

← اینجا با اتصال S, G هم

$V_{in} \geq V_{Tn} \rightarrow M_1:ON , M_2:ON \rightarrow$ خروجی شروع به کاهش پیدا می‌کند

← حال باید اندازه ترانزیستورها را به گونه‌ای انتخاب کنیم که سطح ولتاژ خوبی داشته باشیم.



در یک مداری، ولتاژ آستانه منطقی ← یک ولتاژ V_{th} برای ما اهمیت دارد که هنگامی است که $V_o = V_{in}$

ترجیح می‌دهیم $V_{th} = \frac{V_{DD}}{2}$ باشد.

$V_o = V_{in} \rightarrow M_1:ON , M_2:ON$

$I_{D1} = I_{D2}$

و ترانزیستورها هرکدام در چه ناحیه‌ای هستند؟

M_1 : Sat , M_2 : sat

چرا؟

زیرا در M_1 :

$V_{DS} = V_{in}$, $V_{GS} = V_{in} \rightarrow V_{DS} \geq V_{GS} - V_T \rightarrow M_1:sat$

در M_2 :

$V_{DS} = V_{DD} - \underbrace{V_{th}}_{V_{DD}/2}$, $V_{GS} = 0 \Rightarrow V_{DS} \geq V_{GS} - V_T \rightarrow M_2:sat$

Sunwood

$\Rightarrow I_{D1(sat)} = I_{D2(sat)}$

$\Rightarrow \frac{K'_n}{2}\left(\frac{W}{L}\right)_{p.d}(V_{th}-V_{Tn})^2 = \frac{K'_n}{2}\left(\frac{W}{L}\right)_{p.u}(-V_{Tdep})^2$

pull down — V_{th} — pull up — تخلیه‌ای

چون $\frac{W}{L}$ کار حمایت است، $\frac{L}{W}$ را داخل پرانتز در نظر می‌گیریم:

$Z_{p.u} = \frac{L_{p.u}}{W_{p.u}}$, $Z_{p.d} = \frac{L_{p.d}}{W_{p.d}}$

بنابراین:

$$V_{th} = V_{inv} = V_{Tn} - \frac{V_{T.dep}}{\sqrt{Z_{p.u}/Z_{p.d}}}$$

از طرفی، فرض می‌کنیم:

$$V_{Tn} = 0.2\,V_{DD}$$

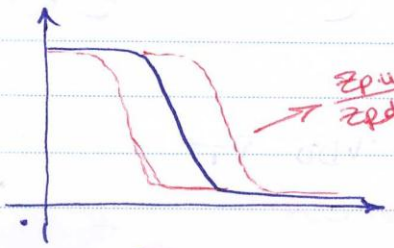
و فرض می‌کنیم:

$$V_{Tdep} = -0.6\,V_{DD}$$

و می‌خواهیم ولتاژ آستانه منطقی نصف V_{DD} باشد:

$$V_{th} = V_{inv} = 0.5\,V_{DD}$$

$$\Rightarrow 0.5\,V_{DD} = 0.2\,V_{DD} - \frac{-0.6\,V_{DD}}{\sqrt{\frac{Z_{p.u}}{Z_{p.d}}}} \Rightarrow \boxed{\frac{Z_{p.u}}{Z_{p.d}} = 4}$$



- با اضافه شدن ترانزیستور تخلیه ای، یک مرحله مراحل ساخت و یک Mask اضافه می شود. بنابراین هزینه ساخت مدار بالاتر می رود.

- خروجی تا V_{DD} می تواند بالا برود ← در این مدار زمین

- Sub که را به پایین ترین ولتاژ وصل می کنیم. پس در M_1 چون B و S

هم متصل است اگر به نه نداریم ولی در M_2، B,S هم پتانسیل پس اگر به نه داریم.

نسبت

- موقعی که خروجی صفر است، یعنی مسیری یک است یک جریان دائمی از آن می گذرد. پس تلفات است. تلفات است زیاد در حالتی که بسیاری یک منطق بالا باشد، وجود دارد.

V_T تغییر کند

راه دیگر استفاده از NMOS افزایشی هم

عنوان مقاومت می باشد → بار اشباع

V_{DD}

M_2

V_o

V_{in} M_1 C_L

* اینورتر با بار اشباع:

چون G به D در M_2 متصل است همیشه ترانزیستور M_2 در اشباع است.

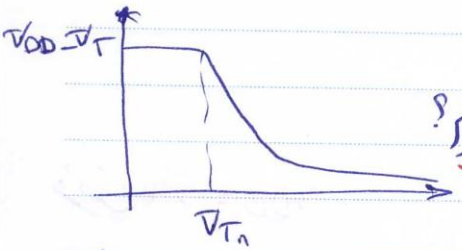
$V_{in} < V_{T_1} \rightarrow M_1$: off $\rightarrow V_o = V_{DD} - V_T$

جدای از اینکه M_2 شارژی سرگ.

چرا اگر V_G از V_T کمتر شود ترانزیستور خاموش می شود

Sunwood

- M_2 اگر بدنه دارد چون ترانزیستور NMOS هستند S با B هم پتانسیل نیست
- اگر خروجی صفر شود، همچنان یک جریان داغم از ترانزیستور می‌گذرد که از V_{DD} کشیده می‌شود.
- از طرفی "یک" خوبی در خروجی نداریم. و از V_{DD} کمتر می‌شود. چگونه خروجی را V_{DD} برسانیم؟



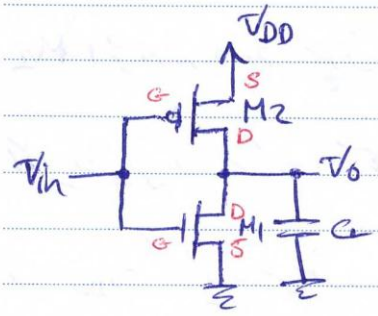
برای رسیدن خروجی به V_{DD}، گیت ترانزیستور M_2 را با یک ولتاژ دیگر بایاس کنیم که مقدار آن $V_{DD}+V_{T_n}$ تا خروجی به V_{DD} خواهد رسید.

ایراد: در شیفت تقدیم خواهیم داشت: که مقررن به صرفه نیست.

یعنی Trade off همیشه وجود دارد.

حال برای مقایسه، یک مدار دیگر با ترکیب NMOS و PMOS در نظر می‌گیریم که بیشتر CMOS نام دارد.

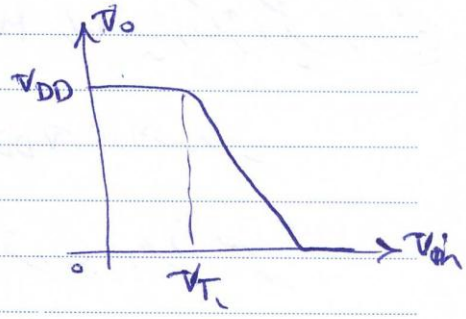
* اینورتر CMOS :



بایاس
NMOS: $V_T > 0$, $V_{GS} \geq V_T \rightarrow$ ON
pMOS: $V_T < 0$, $V_{GS} \leq V_T \rightarrow$ ON

فرض: $V_{DD} = 5V$

$V_{in} = 0V \rightarrow M_1$: off , M_2: on
$V_{GS1} = 0$ $V_{GS} < V_T$
$V_{in} = 2V \rightarrow M_1$: on , M_2: on
$V_{GS1} > V_T$, $V_{GS2} < V_T$
$V_{in} = 5V \rightarrow M_1$: on , M_2: off
$V_{GS1} > V_T$ $V_{GS2} = 0$



- در $V_{in} = 0$، خازن از طریق M_2 شارژ می‌شود و چون تغییر نمی‌کند D ترانزیستور M_2 است، تا V_{DD} بالا می‌رود چون V_{GS} ثابت و از V_T کمتر است.

در $V_{in} = 5$، خازن از طریق M_1 دشارژ می‌شود و تا صفر پایین می‌رود چون D ترانزیستور V_{GS2} ثابت است و از V_T بیشتر است. و تا آخرین لحظه روشن است.

در این مدار تغییرات از صفر تا V_{DD} است، اصطلاحاً Rail to Rail

Sunwoodi

Subject: VLSI

Year. ۹۲ Month. ۷ Date. ۴ ۲۵

۷

اگر ورودی "صفر" باشد، M_1 خاموش است.

اگر ورودی "یک" باشد M_2 خاموش است.

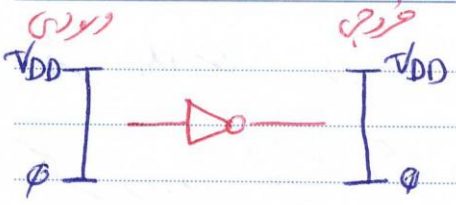
- بنابراین در حالت استاتیک یعنی "صفر" دائمی یا "یک" دائمی جریان متقیم از V_{DD} به زمین عبور نمی‌کند، توان کم است.

فقط در حالت دینامیک و در هنگام تغییر هردو روشن هستند، مصرف توان داریم.

- در ترانزیستورهای NMOS، بدنه را به پایین‌ترین پتانسیل موجود و در ترانزیستورهای PMOS، بدنه را به بالاترین پتانسیل موجود متصل می‌کنیم.

بنابراین مشاهده می‌شود در M_1 (NMOS) B و S هم متصل است و در M_2 (PMOS) نیز S و B هم متصل است. بنابراین هیچکدام از آنها اثر بدنه ندارند.

یک سری محاسبات استاتیک به عنوان مشخصات استاتیک برای هر مدار انجام می‌شود که برگرفته از تعریف حاشیه نویز است:



حاشیه نویز: Noise Margin

حداکثر ولتاژ ورودی که می‌توان Low در نظر گرفت V_{IL}، حداقل ولتاژ ورودی که می‌توان High در نظر گرفت V_{IH} نام دارد.

به دلایل متعدد ممکن است خروجی صفر یا V_{DD} نشود و ولتاژهای دیگری به ترتیب V_{OL}، V_{OH} خواهیم داشت.

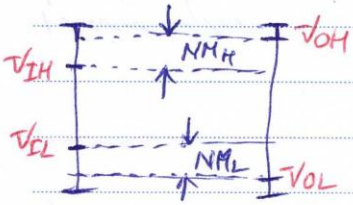
یک حاشیه نویز برای High، یک برای Low در نظر می‌گیریم:

$$NM_H = V_{OH} - V_{IH}$$

$$NM_L = V_{IL} - V_{OL}$$

$$\Rightarrow NM = \underbrace{V_{OH} - V_{IH}}_{NM_H} + \underbrace{V_{IL} - V_{OL}}_{NM_L}$$

قابل برای ملزم بودن NM می‌باشد:



صدت: زیرا می‌خواهیم خروجی "صفر" به "صفر" نزدیکتر باشد و خروجی "یک" به "یک" نزدیکتر باشد.

یعنی خروجی‌هایی که بدون دلیل بخواهند سطح ولتاژ را تغییر دهند باید بزرگ باشد: یعنی نویز زیادی لازم دارد، مدار را بتواند تغییر دهد و نه هر نویز کمی ← حاشیه نویز بالا می‌رود

می‌خواهیم NM بیشتر باشد. بنابراین باید مشتق را برابر صفر قرار دهیم:

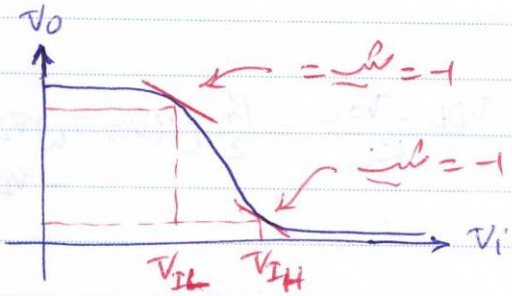
$$\frac{\partial NM}{\partial V_{IL}} = 0 \Rightarrow \frac{\partial V_o}{\partial V_{IL}} + 1 = 0 \Rightarrow \boxed{\frac{\partial V_o}{\partial V_{IL}} = -1}$$

V_{OH} فقط به V_{IL} بستگی دارد $\rightarrow V_{OH} = f(V_{IL})$

$$\frac{\partial NM}{\partial V_{IH}} = 0 \Rightarrow -1 - \frac{\partial V_o}{\partial V_{IH}} = 0 \Rightarrow \boxed{\frac{\partial V_o}{\partial V_{IH}} = -1}$$

V_{OL} فقط به V_{IH} بستگی دارد $\rightarrow V_{OL} = f(V_{IH})$

اگر از روی نمودار بخواهیم ببینیم:



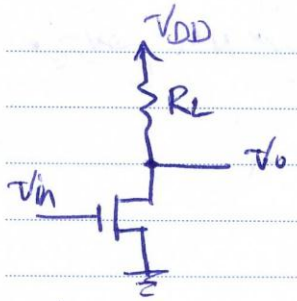
توجه: ولتاژ خروجی متناظر با V_{IL} برابر با V_{OH} نیست و ولتاژ خروجی متناظر با V_{IH} نیز برابر با V_{OL} نیست. توجه شود که اشتباه نشود.

حال مشخصات استاتیک را برای مدارات اینورتر معرفی شده محاسبه می‌کنیم:

مشخصات استاتیک مدارات اینورتر:

۱- بار مقاومتی ۲- بار NMOS ۳- CMOS تکمیلی

* مدار اینورتر با بار مقاومتی: (مشخصات استاتیک)



* $V_{OH} = ?$ $\Rightarrow$ $I_L = I_D \Rightarrow \frac{V_{DD} - V_{OH}}{R_L} = 0 \Rightarrow V_{OH} = V_{DD}$

وقتی $V_{in} = V_{OL}$ $\rightarrow$ یعنی قطعاً ترانزیستور را خاموش کرده است.

منظور V_{OL}، مدار قبل است.

* $V_{OL} = ?$ $\Rightarrow$ $I_L = I_D \Rightarrow \frac{V_{DD} - V_{OL}}{R_L} = \frac{\beta_n}{2}\left\{2(V_{GS} - V_{Tn})V_{DS} - V_{DS}^2\right\}$

ترانزیستور درایور

وقتی $V_{in} = V_{OH} = V_{DD}$

ترانزیستور در ناحیه ترایود است.

زیرا: $V_{DS} < V_{GS} - V_T$ (V_{DD})

$\leftarrow$ از V_{DD} حتماً کمتر است زیرا خروجی، صفر منطقی خواهد بود (مدار اینورتر است)

$$\frac{V_{DD} - V_{OL}}{R_L} = \frac{\beta_n}{2}\left[2(V_{DD} - V_{Tn})V_{OL} - V_{OL}^2\right]$$

$$\Rightarrow \Rightarrow V_{OL} = V_{DD} - V_{Tn} + \frac{1}{\beta_n \cdot R_L} \mp \sqrt{(V_{DD} - V_{Tn} + \frac{1}{\beta_n R_L})^2 - \frac{2}{\beta_n R_L}}$$

از این دو جواب، جواب مورد قبول است که بتواند گیت ما (مدار بعدی) را خاموش کند. یعنی: $0 < V_{OL} < V_{Tn}$ یعنی هم مثبت باشد، هم از ولتاژ V_T کمتر باشد.

Subject: VLSI

Year. 9۴ Month. ۷ Date. ۴ ۲۹

ورودی تازه از V_T بیشتر شده و خروجی هنوز از V_{DD} کم نشده

* $V_{IL} = ?$

$I_L = I_D \Rightarrow \frac{V_{DD} - V_o}{R_L} = \frac{\beta_n}{2}(V_{ih} - V_{Tn})^2$ (V_{GS})

V_{OL} این مقدار یا مقدار متفاوت است زیرا M در حال روشن شدن است

از دو رابطه بالا مشتق می‌گیریم:

$\Rightarrow \frac{-1}{R_L} \cdot \frac{\partial V_o}{\partial V_{ih}} = \beta_n (V_{ih} - V_{Tn})$ (V_{IL})

$\frac{\partial V_o}{\partial V_{in}} = -1$ جایگذاری می‌کنیم تا ماکزیمم NM به دست آید:

$\Rightarrow \boxed{V_{IL} = V_{Tn} + \frac{1}{\beta_n \cdot R_L}}$

می‌توان در رابطه فوق قرار داد و V_o متناظر با آن را که برابر V_{OH} است را به دست آورد

$\rightarrow V_o(V_{ih} = V_{IL}) = V_{DD} - \frac{1}{2\beta_n \cdot R_L}$

* $V_{IH} = ?$

$I_L = I_D \Rightarrow \frac{V_{DD} - V_o}{R_L} = \frac{\beta_n}{2}\left[2(V_{ih} - V_{Tn})V_o - V_o^2\right]$ ⊛

مشتق می‌گیریم و جایگذاری:

$\Rightarrow \frac{-1}{R_L} \cdot \frac{\partial V_o}{\partial V_{ih}} = \frac{\beta_n}{2}\left[2V_o + 2(V_{ih} - V_{Tn}) \cdot \frac{\partial V_o}{\partial V_{ih}} - 2V_o \frac{\partial V_o}{\partial V_{ih}}\right]$

(V_{IH}) (-1) (-1)

$\Rightarrow V_{IH} = V_{Tn} + 2V_o - \frac{1}{\beta_n \cdot R_L}$

V_{IH} را در رابطه ⊛ جایگذاری می‌کنیم. مقدار V_o به دست آمده و دوباره مشتق می‌گیریم (V_{IH} برحسب)

در رابطه اخیر V_{IH} به دست آید.

$$\Rightarrow V_o(V_{th}=V_{IH}) = \sqrt{\frac{2}{3}\cdot\frac{V_{DD}}{\beta_n \cdot R_L}}$$

$$\Rightarrow \boxed{V_{IH} = V_{Tn} + 2\sqrt{\frac{2}{3}\frac{V_{DD}}{\beta_n \cdot R_L} - \frac{1}{\beta_n \cdot R_L}}}$$

* $V_{th} = ?$

$$I_L = I_D(sat) \Rightarrow \frac{V_{DD} - V_o}{R_L} = \frac{\beta_n}{2}(V_{th} - V_{Tn})^2$$

(V_{th} over V_o, V_{th} over $(V_{th}-V_{Tn})$)

و بنابر آنکه منطقی صفر است که $V_{Th} = V_o = V_{th}$ بنابراین:

$$\boxed{V_{th} = V_{Tn} - \frac{1}{\beta_n \cdot R_L} \pm \sqrt{\left(V_{Tn} - \frac{1}{\beta_n \cdot R_L}\right)^2 + \frac{2V_{DD}}{\beta_n \cdot R_L} - V_{Tn}^2}}$$

پارامتری طراح در این مدار مقدار R_L، اندازه ترانزیستور می باشد.

یعنی مقدار $\beta_n \cdot R_L$ زیرا $\beta_n = K_n\left(\frac{W}{L}\right)$ و پارامتری است تکنیکی در این

مقدار حاصلضرب بستگی دارد پس در حالت ایده آل: اگر $\beta_n \cdot R_L \to \infty$

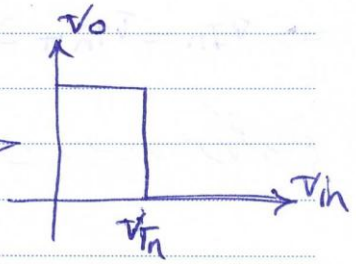
$$\Rightarrow V_{OL} = __ = \phi$$

$$\Rightarrow V_{th} = __ \simeq V_{Tn}$$

$$\Rightarrow V_{IL} = __ \simeq V_{Tn}$$

$$\Rightarrow V_{IH} = __ \simeq V_{Tn}$$

$\Rightarrow$ یعنی $\Rightarrow$



که یک حالت ایده آل است.

از مقادیر بایه بایتی NML، NMH را حساب کنیم :

$NM_H = V_{OH} - V_{IH}$

$NM_L = V_{IL} - V_{OL}$

مثال: فرض کنید :

$V_{DD} = 5V$, $k'_n = 20\ \mu A/V^2$, $V_{Tn} = 0.8V$, $R_L = 200k\Omega$

$(\frac{W}{L}) = 2$, $NM = ?$

$V_{OH} = \sim\sim = 5V$

$V_{OL} = \sim\sim =$ 0.147V / 8.5V غیرقابل قبول

$V_{IL} = \sim\sim = 0.925V$

$V_{IH} = \sim\sim = 1.97V$

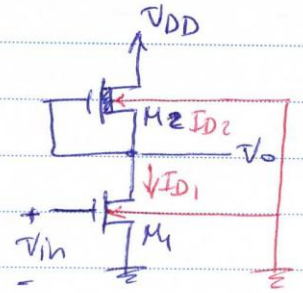
$NM_H = \sim\sim = 5 - 1,97 = 3.03V$ → مناسب است

$NM_L = \sim\sim = 0.925 - 0.147 = 0.78V$ → مناسب نیست

بهترین حالت برای NM :

$\boxed{NM > \frac{V_{DD}}{4}}$

* مدار اینورتر با بار NMOS تخلیه ای (مشخصات استاتیک)



$V_{OH}=?$

برای محاسبه خروجی High ورودی باید Low باشد:

$V_{in}=V_{OL}$ (یعنی خروجی طبقه قبل)

چون M_2 اثر بدنه دارد یعنی داریم:

$$V_{T_2}=V_{T_0}+\gamma\left(\sqrt{|2\phi_F|+V_{SB}}-\sqrt{|2\phi_F|}\right)$$

یعنی V_{T_2} ثابت باقی نمی ماند

ترانزیستور V_{OL} زمانی OL خواهد بود که بتواند طبقه بعد را خاموش کند یعنی V_{OL} توانست M_1 را خاموش کند

M_2 در ناحیه تریود قرار می گیرد.

زیرا خروجی V_{OH} یعنی High است. (البته برابر V_{DD} نیست ولی نزدیک به آن است)

$$I_{D_2}=\frac{k'_n}{2}\cdot\frac{W}{L}\left[2(V_{GS}-V_T)V_{DS}-V_{DS}^2\right]$$

$$=\frac{k'_n}{2}\cdot\frac{W}{L}\left[2(0-V_{Tdep})(V_{DD}-V_o)-(V_{DD}-V_o)^2\right]$$

M_1 در حالت قطع است زیرا $V_{OH}=V_{DD}$, $V_{in}=V_{OL}$

و V_{OL} یعنی ولتاژی که بتواند ترانزیستور طبقه بعد را خاموش کند

پس $I_{D_1}=0$ خواهد شد. از طرفی $I_{D_1}=I_{D_2}$ بنابراین خواهیم داشت:

$$V_{DD}-V_o=0 \Rightarrow \boxed{V_{OH}=V_{DD}}$$

Subject: VLSI

Year. ۹۶ Month. ۷ Date. ۱۱ ۱۴۲

۷

$V_{OL} = ?$

$V_{in} = V_{OH} = V_{DD}$ ← در قسمت قبل به دست آوردیم

البته می‌توان مخارج را با V_{OH} جلو برد و بعد از V_{DD} قرار داد

وقتی می‌خواهیم V_{OL} را به دست آوریم، V_{DS_1} خیلی بزرگ خواهد بود

بنابراین شرط اشباع $V_{DS} \geq V_{GS} - V_T$ برقرار می‌شود پس ترانزیستور M_1 در حالت

ترایود قرار می‌گیرد. بنابر همین دلایل ترانزیستور M2 در حالت اشباع قرار

می‌گیرد. زیرا ولتاژ V_{DS_2} بزرگ خواهد بود و $V_{GS_2} = 0$ از طرفی جریان دو

ترانزیستور با هم برابر خواهد بود:

$$I_{D_1}(Triod) = I_{D_2}(sat)$$

load

$$\Rightarrow \frac{K'_{n,d}}{2}\left(\frac{W}{L}\right)_d \left\{2(V_{in} - V_T)V_O - V_O^2\right\} = \frac{K'_{n,L}}{2}\left(\frac{W}{L}\right)_L (0 - V_{T_{dep}})^2$$

($V_{in} = V_{OH}$)

$$\Rightarrow V_{OL} = \underbrace{V_{OH}}_{V_{DD}} - V_{T_{on}} - \sqrt{\underbrace{(V_{OH} - V_{T_{on}})^2}_{V_{DD}} - \frac{K'_{n,L}\left(\frac{W}{L}\right)_L}{K'_{n,d}\left(\frac{W}{L}\right)_d}(-V_{T_{dep}})^2}$$

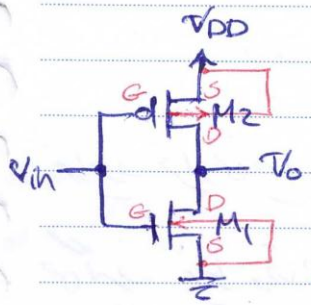
چون M2 اثر بدنه دارد باید یکی $V_{T_{dep}}$، از رابطه V_{T_2} فرق استفاده کنیم

و یکی V_{SB} قرار دهیم (V_{DS_1})

Sunwood

بقیه کمیتهای استاتیک شامل V_{th} ، V_{IH} ، V_{IL} قابل محاسبه است و همچنین توسط مدارهای مختلف شامل بار اشباع و ... (حل به عنوان تمرین)

* اینورتر CMOS (مشخصات استاتیک) CMOS inverter:



در این مدار از هر دو ترانزیستور NMOS ، PMOS استفاده می‌شود. V_T ترانزیستور NMOS مثبت و V_T ترانزیستور PMOS منفی است. برای روشن شدن ترانزیستور:

$M_1: V_{GS} > V_T$

$M_2: V_{GS} < -V_T$

پارامترهای استاتیک مدار (قبلاً =) V_{th} ، V_{IL} ، V_{IH} ، V_{OL} ، V_{OH}

آستانه منطقی یعنی جایی که $V_O = V_I$ است) را به دست می‌آوریم:

$V_{OH} = ?$ ،

V_{OH} زمانی به دست می‌آید که ورودی V_{OL} باشد:

$V_{in} = V_{OL}$

M_2: Triod $\Rightarrow I_{D2} = \frac{k_p}{2}\left(\frac{W}{L}\right)_p \left[2(V_{in} - V_{DD} - V_{Tp})(V_O - V_{DD}) - (V_O - V_{DD})^2\right]$

حسن ترانزیستوری CMOS این است که اگر بدنه ندارم. چون در هر دو ترانزیستور بدنه با S کی وصل می‌شود.

Subject: VLSI

Year. 9C Month. ✓ Date. 11 دی

M_1 : off $\Rightarrow I_{D1} = 0$

از طرفی $I_{D2} = I_{D1}$ بنابراین خواهیم داشت:

$\Rightarrow \boxed{V_{OH} = V_{DD}}$

$V_{OL} = ?$

V_{OL} زمانی به دست می‌آید که ورودی V_{OH} باشد:

$V_{in} = V_{OH} = V_{DD}$ ← با توجه به محاسبات قبل

M_1 : Triode $\Rightarrow I_{D1} = \frac{K'_n}{2}\cdot\left(\frac{W}{L}\right)_n\left[2(V_{in} - V_{Tn})V_o - V_o^2\right]$

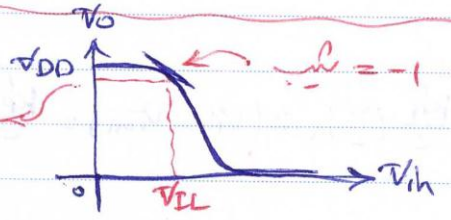
M_2 : off $\Rightarrow I_{D2} = 0$ ←

↓

$V_{GS} = 0, V_{GS} > -V_{Tp}$ از طرفی $I_{D2} = I_{D1}$ بنابراین خواهیم داشت:

$\Rightarrow \boxed{V_{OL} = 0}$

$V_{IL} = ?$



V_{IL} زمانی است که حداکثر تغییر ورودی که

بتوان ولتاژ خروجی را در نظر گرفت یعنی جایی که شیب منحنی V_o بر V_{in} برابر -1 گردد.

هرچه ترانزیستور بزرگ‌تر هستند، باید سیم درجه ناصیح قرار دارند. ورودی همچنان low ماند تا بتواند ولتاژ خروجی بیشتر از V_{OH} اندکی کمتر شده است.

در اینجا M_1 در حالت اشباع، M_2 در حالت تریود قرار دارد؛

یعنی در M_1، V_{DS} بزرگ است زیرا ورودی تازه از V_T اندکی بزرگتر شده است. و شرط اشباع برقرار است

$$I_{D1}(Sat) = I_{D2}(Triod)$$

$$\Rightarrow \frac{k'_n}{2}\left(\frac{W}{L}\right)_n (V_{in} - V_{Ton})^2 = \frac{k'_p}{2}\left(\frac{W}{L}\right)_p \{2(V_{th} - V_{DD} - V_{Top})(V_o - V_{DD}) - (V_o - V_{DD})^2\} \quad (II)$$

V_{IL} در جایی است که شیب منحنی برابر ۱- خواهد شد. بنابراین اگر نسبت V_{in} سمت گیریم $\frac{\partial V_o}{\partial V_{in}}$ برابر ۱- قرار دهیم به دست می‌آید. که در اینجات V_{th} همان V_{IL} خواهد بود:

$$\Rightarrow \frac{k'_n}{2}\left(\frac{W}{L}\right)_n 2(V_{th} - V_{Ton}) = \frac{k'_p}{2}\left(\frac{W}{L}\right)_p \left[2(V_o - V_{DD}) + 2(V_{th} - V_{DD} - V_{Top})\frac{\partial V_o}{\partial V_{in}} - 2(V_o - V_{DD})\frac{\partial V_o}{\partial V_{in}}\right]$$

($V_{th} \to V_{IL}$)

$$\Rightarrow V_{IL} = \frac{2V_o + V_{Top} - V_{DD} + \beta_R V_{Ton}}{1 + \beta_R} \quad (I), \quad \beta_R = \frac{k'_n\left(\frac{W}{L}\right)_n}{k'_p\left(\frac{W}{L}\right)_p}$$

Ratio

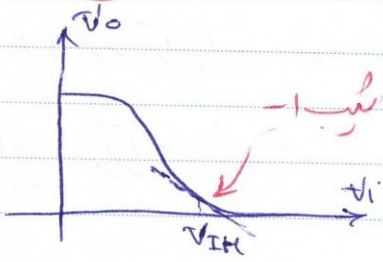
Subject: VLSI

Year. 9C Month. √ Date. 11 (۲۷

۷

که با کمک معادله (II) مقدار V_{IL} به دست می‌آید.

$V_{IH} = ?$



$$I_{D1}(Triod) = I_{D2}(sat)$$

$$\Rightarrow \frac{K'_n}{2}\left(\frac{W}{L}\right)_n\left[2(V_{in}-V_{Ton})V_o - V_o^2\right] = \frac{K'_p}{2}\left(\frac{W}{L}\right)_p\left[V_{in}-V_{DD}-V_{Top}\right]^2 \quad (II)$$

از طرفین مشتق می‌گیریم،

$$\Rightarrow \frac{K'_n}{2}\left(\frac{W}{L}\right)_n\left[2V_o + (V_{in}-V_{Ton})\frac{\partial V_o}{\partial V_{in}} - 2V_o\cdot\frac{\partial V_o}{\partial V_{in}}\right] = \frac{K'_p}{2}\left(\frac{W}{L}\right)_p 2\cdot(V_{in}-V_{DD}-V_{Top})$$

(V_{IH} ، -1 ، -1 ، V_{IH})

$$\Rightarrow V_{IH} = \frac{V_{DD}+V_{Top}+\beta_R(2V_o+V_{Ton})}{1+\beta_R} \quad (I), \quad \beta_R = \frac{K_n\left(\frac{W}{L}\right)_n}{K_p\left(\frac{W}{L}\right)_p} = \frac{\beta_n}{\beta_p}$$

(II) که به شکل طریق بالا چون V_{IH} برحسب V_o بیان شده است به کمک رابطه

و حل معادلات دو مجهول مقدار V_{IH} به دست می‌آید.

ولتاژ آستانه سوئینگ

$V_{th} = ?$

در اینجات یعنی $V_O = V_{in} = V_{th}$. پس ولتاژ درین هردو ترانزیستور با ولتاژ گیتشان برابر خواهد بود. تنها برای این شرط اشباع برقرار می‌شود. پس:

$$I_{D_1}(sat) = I_{D_2}(sat)$$

$$\Rightarrow \frac{k_n}{2}\cdot\left(\frac{W}{L}\right)_n (V_{th} - V_{Ton})^2 = \frac{k_p}{2}\cdot\left(\frac{W}{L}\right)_p (V_{th} - V_{DD} - V_{Top})^2$$

(V_{th} ، V_{th})

$$\Rightarrow V_{th} = V_{inv} = \frac{V_{Ton} + \sqrt{\frac{1}{\beta_R}}(V_{DD} + V_{Top})}{1 + \sqrt{\frac{1}{\beta_R}}} \quad ; \beta_R = \frac{k_n(\frac{W}{L})_n}{k_p(\frac{W}{L})_p} = \frac{\beta_n}{\beta_p}$$

بعد از ترانزیستور از رابطه زیر بدست می‌آید:

$$\Rightarrow \boxed{\beta_R = \frac{V_{DD} - V_{Top} - V_{th}}{V_{th} - V_{Ton}}}$$

اگر برای طراحی در نظر بگیریم مقدار $V_{th} = \frac{V_{DD}}{2}$

(بطور ایده آل می‌خواهیم V_{th} بین صفر و V_{DD} و وسط آن قرار گیرد)

$$\Rightarrow \boxed{\beta_R = \frac{0.5V_{DD} + V_{Top}}{0.5V_{DD} - V_{Ton}}} \quad , \boxed{V_{th} = \frac{V_{DD}}{2}}$$

اگر دو ترانزیستور یکی: $V_{Ton} = -V_{Top}$

$$\Rightarrow \boxed{\beta_R = 1}$$

Subject: VLSI

Year. 9C Month. ✓ Date. 11 (۲۹

۷

$$\Rightarrow \frac{k_n'(\frac{W}{L})_n}{k_p'(\frac{W}{L})_p} = 1 \Rightarrow \frac{(\frac{W}{L})_p}{(\frac{W}{L})_n} = \frac{k_n'}{k_p'} \Rightarrow \boxed{\frac{(\frac{W}{L})_p}{(\frac{W}{L})_n} = \frac{\mu_n C_{ox}}{\mu_p C_{ox}} = \frac{\mu_n}{\mu_p}}$$

که با توجه به مقادیر عددی نوع μ_n, μ_p مقدار $\frac{W}{L}$ را 2.5 در نظر می‌گیریم

$$\Rightarrow \boxed{\frac{(W/L)_p}{(W/L)_n} \simeq 2.5}$$ در این صورت توسط معادلی بودن V_T نقطه V_{th} روی $\frac{V_{DD}}{2}$ قرار می‌گیرد

$V_{DD} = 5V$, $\beta_n = 100\ \mu A/V^2$, $\beta_p = 50\ \mu A/V^2$ داده‌ها

$V_{Ton} = 1V$, $V_{Top} = -1.5V$

چون V_T برابر نسبت مقدار V_{th} با $V_{DD}/2$ قرار نخواهد گرفت.

$V_{OH} = V_{DD} = \boxed{5V}$

$V_{OL} = 0 = \boxed{0V}$

$V_{IL} = -1.5 + 0.67 V_o$ ⟹ از رابطه II ⟹

$0.279 V_o^2 + 0.05 V_o - 6.25 = 0 \Rightarrow V_o = \begin{cases} 4.64V \\ -4.82V \end{cases}$

مقدار منفی قابل قبول نیست. زیرا ولتاژ منفی در مدار نداریم.

از رابطه I

$\Rightarrow \boxed{V_{IL} = 1.6V}$

Sunwood

$\Rightarrow$ از رابطه I $\Rightarrow V_{IH} = 1.33V_o + 1.83$

در رابطه II قرار می دهیم:

$\Rightarrow 4.32V_o^2 + 4.65V_o - 1.67 = 0 \Rightarrow V_o = -0.28$ ~~-1.36~~

منفی قابل قبول نیست

$\Rightarrow$ از رابطه $\Rightarrow$ $\boxed{V_{IH} = 2.2V}$

$\Rightarrow NMH = \overbrace{V_{OH}}^{V_{DD}} - V_{IH} = 5 - 2.2V = 2.8V > \frac{V_{DD}}{4}$

$\Rightarrow NML = V_{IL} - V_{OL} = 1.6 - 0 = 1.6V > \frac{V_{DD}}{4}$

با مقایسه با اینورتر با بار مقاومتی، مشاهده می شود که مقاومت نویز را افزایش می دهد.

$V_{th} = 2.03V$

که چون V_{T_0} ها برابر نیستند، برابر مقدار $\frac{V_{DD}}{2}$ نخواهد بود.

پارامترهای سرعت و زمان نیز برای مدارهای اینورتر محاسبه می شود.

در این مرحله باید بتوانیم پارامترهای استاتیک را برای هر مداری بدست آوریم.

Subject: VLSI

Year. 96 Month. ۷ Date. ۱۱ ۵۱

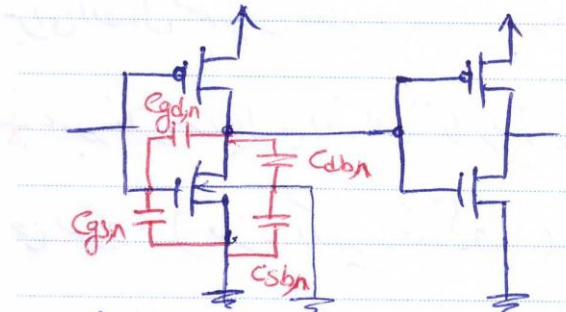
۷

55:00

مشخصه گی دینامیکی برای مدار اینورتر:

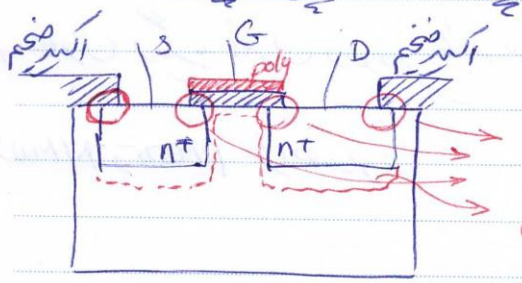
در پارامترهای دینامیکی، مشخصه گی زمانی به دنبال تأخیرهای زمانی می باشیم. بنابراین مقادیر خازن های مدار اهمیت پیدا می کند. زیرا در این حالت می خواهیم ببینیم خازن های مدار باچه ثابت زمانی و صریحتی شارژ یا دشارژ می شود. بنابراین نیاز داریم اثرات خازنی را در مدار ببینیم و چگونگی در نظر گرفتن این اثرات را ببینیم خازن های مدار اینورتر را مشخص می کنیم.

از آنجائیکه در این قسمت کاربردی برای مدار اینورتر نداریم، فرض می کنیم طبقه بعد یک اینورتر است این خروجی را تنها به یک گیت مشابه متصل می کنیم:



خازن های ترانزیستور n شامل Cgs، Cgd، Cdb، Csb است.

خازن overlap ←

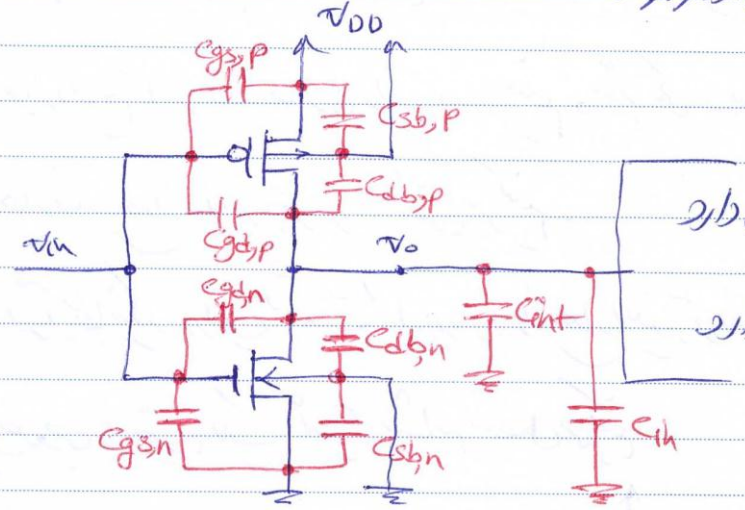


* خازن های gs، gd خازن های فیزیکی است که در اثر نفوذ ناخالصی به ناحیه تخلیه n+ که بوجود می آید. ← به زیر اکسید و به سمت افقی ← poly/oxide/Si

خازن

* وقتی ولتاژ برقرار می‌شود، B به S متصل شود و بین Gs ولتاژ می‌گذارم تا کانال داشته باشد

وقتی D نسبت به B مثبت می‌شود، ناحیه تخلیه بوجود می‌آید که بین B/D، B/S باعث ایجاد خازن‌های Sb، db می‌شود که خازن‌های Junction هستند و به ولتاژ V_{DS}، V_{GS} بستگی دارند.



یعنی اثر خازنی است:

- به شکل هندسی S، D بستگی دارد
- به ولتاژ D معکوس بستگی دارد

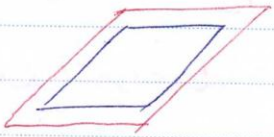
برای اتصال قسمت‌های مدار:

* عبور فلز مربوط به اتصال ترانزیستور از روی اکسید ضخیم باعث ایجاد خازن می‌شود: (فلز - اکسید - نیمه‌هادی) که به نام خازن Cint نامیده می‌شود.

* خازن دیگر، خازن دیودی طبقه بعدی است. که کمترین آن C_{gb} مربوط به ترانزیستورهای NMOS و PMOS خواهد بود

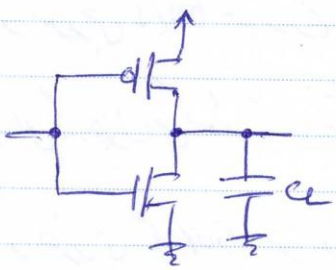
$$C_{in} = C_{gb,n} + C_{gb,p}$$

که اثر بزرگ بودن گیت نسبت به کانال می باشد.



زیرا برای اطمینان از پوشیده شدن کل کانال توسط گیت مقداری از اطراف پیشروی می کند. یعنی گیت بزرگ B قرار می گیرد که سیلیکون + اکسید + زیرینا تشکیل خازن خوبی را می دهد.

اینکه کدام خازن حیاتی بودن دارای تاثیر زمانی می گذارد، ساده نیست بنابراین برای ساده شدن محاسبات مشخصه گی زمانی مدار، تمام خازنهایی که در خروجی اثر می گذارد را به عنوان خازن خروجی و C_L در نظر می گیریم و همه را با هم موازی می کنیم. با این کار بدترین حالت ممکن را برای اثرات خازنی در نظر گرفته ایم. زیرا همه خازنها که با هم موازی نیستند و اثر یکسانی در خروجی ندارند:

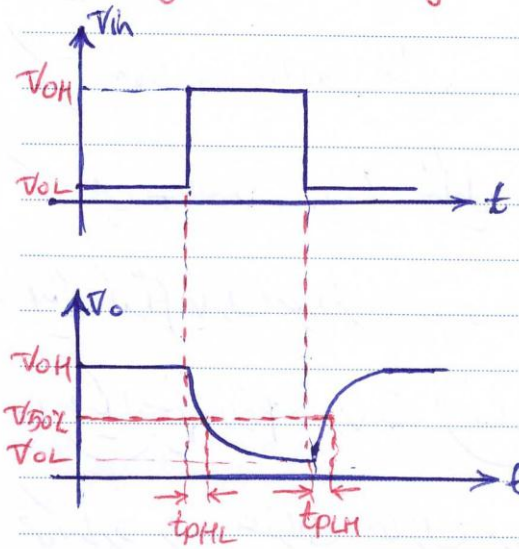


$$C_L = C_{gd,n} + C_{db,n} + C_{gd,p} + C_{db,p} + C_{int} + C_{in} + C_{sb,n} + C_{sb,p}$$

اثر خازنهای $C_{gd,n}$ و $C_{gd,p}$ را در نظر گرفتیم. زیرا این خازنها به عنوان خازن خروجی طبقه قبل در نظر گرفته شده است و در اینجا نیازی به اضافه شدن ندارد.

زمانهایی که می‌خواهیم محاسبه کنیم، حین زمانی می‌باشد.

* Propagation Delay : زمان تأخیر انتشار *



اگر ورودی را بصورت یک پالس

که از VOL تا VOH تغییر می‌کند در نظر

بگیریم که شکل از طبقه قبل گرفته شده باشد،

شکل موج خروجی بصورت زیر خواهد بود.

t_{PHL} زمانی که طول می‌کشد تا از تغییر ورودی از

H به L، خروجی تا 50٪ خودش کاهش یابد،

t_{PLH} زمانی که طول می‌کشد تا از تغییر ورودی از

L به H، خروجی تا 50٪ خودش افزایش یابد

نامند، t_p تأخیر انتشار کل گویند.

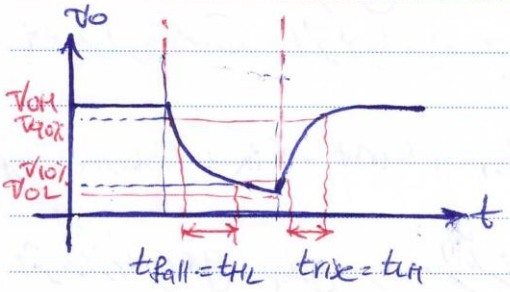
t_{fall} زمانی که طول می‌کشد خروجی از 90٪ مقدار

خودبه 10٪، و t_{rise} زمانی که طول می‌کشد خروجی

از 10٪ مقدار خودبه 90٪ برسد، می‌نامند.

$$t_p = \frac{t_{PHL} + t_{PLH}}{2}$$

$$V_{50\%} = 0.5\,(V_{OH} + V_{OL})$$



$$V_{10\%} = V_{OL} + 0.1\,(V_{OH} - V_{OL})$$

$$V_{90\%} = V_{OL} + 0.9\,(V_{OH} - V_{OL})$$

Sunwood

اگر شکل موج ورودی هم ایده‌آل نباشد و شیب‌دار باشد. در این صورت زمان تأخیر

را بین $V_{50\%}$ ورودی تا $V_{50\%}$ خروجی خواهیم داشت.

محاسبه مشخصه‌ی دینامیکی اینورتر CMOS:

دو روش برای محاسبه زمان‌ها در نظر می‌گیریم که شامل ① تقریبی ② دقیق می‌باشد

* در روش تقریبی از این قانون استفاده می‌کنیم که: (جریان خازن)

$$I = C.\frac{\Delta V}{\Delta t} \Rightarrow \Delta t = C.\frac{\Delta V}{I}$$

که Δt زمان مورد نظر می‌باشد.

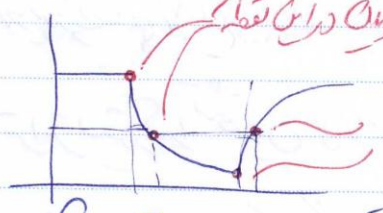
در صورتیکه بخواهیم t_{PHL} را حساب کنیم فرمول فوق بصورت زیر تغییر می‌کند:

$$\Rightarrow t_{PHL} = C_L.\frac{\Delta V_{HL}}{I_{av,HL}} = C_L.\frac{V_{OH} - V_{50\%}}{I_{av,HL}}$$

برای محاسبه t_{PLH} نیز فرمول فوق بصورت زیر تغییر می‌کند:

$$\Rightarrow t_{PLH} = C_L.\frac{\Delta V_{LH}}{I_{av,LH}} = C_L.\frac{V_{50\%} - V_{OL}}{I_{av,LH}}$$

منظور از جریان متوسط،



یک متوسط‌گیری ساده است که از جمع جریان‌های متناظر با دقت‌های فوق تقسیم بر ۲ بدست می‌آید.

$$I_{av,HL} = \frac{1}{2}\left\{ i_c'(V_{in}=V_{OH}, V_O=V_{OH}) + i_c'(V_{in}=V_{OH}, V_O=V_{50\%}) \right\}$$

$$I_{av,LH} = \frac{1}{2}\left\{ i_c'(V_{in}=V_{OL}, V_O=V_{OL}) + i_c'(V_{in}=V_{OL}, V_O=V_{50\%}) \right\}$$

$$i_c' = I_{Dp} - I_{Dn}$$

برای زمانهای fall و rise:

می‌توان از فرمول فوق استفاده کرد و بصورت زیر در نظر گرفت:

$$t_{fall} = t_{HL} = C_L \cdot \frac{\Delta V_{90\%\to 10\%}}{I_{av,90\%\to 10\%}} = C_L \cdot \frac{V_{90\%} - V_{10\%}}{I_{av,90\%\to 10\%}}$$

$$t_{rise} = t_{LH} = C_L \cdot \frac{\Delta V_{10\%\to 90\%}}{I_{av,10\%\to 90\%}} = C_L \cdot \frac{V_{10\%} - V_{90\%}}{I_{av,10\%\to 90\%}}$$

برای جریان متوسط تیرها نیز فوق عمل می‌کنیم:

$$I_{av,90\%\to 10\%} = \frac{1}{2}\left\{ i_c'(V_{in}=V_{OH}, V_O=V_{90\%}) + i_c'(V_{in}=V_{OH}, V_O=V_{10\%}) \right\}$$

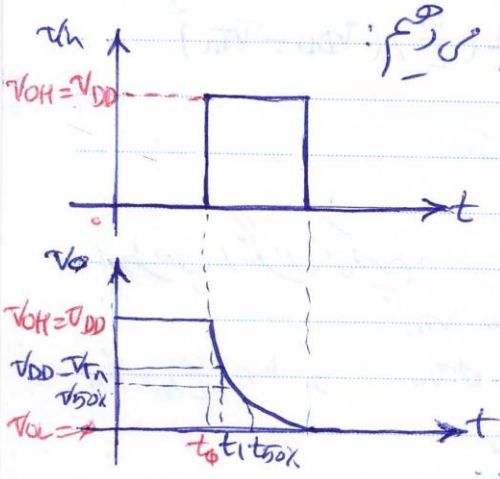
$$I_{av,10\%\to 90\%} = \frac{1}{2}\left\{ i_c'(V_{in}=V_{OL}, V_O=V_{10\%}) + i_c'(V_{in}=V_{OL}, V_O=V_{90\%}) \right\}$$

که $i_c' = I_{Dp} - I_{Dn}$ که با تشخیص وضعیت ترانزیستورها، روابط جریان‌ها را می‌نویسیم (با توجه به ولتاژهای موجود در مدار 10٪، 50٪ یا 90٪ و وضعیت ترانزیستورها را تشخیص می‌دهیم) و سپس زمانهای مورد نظر را محاسبه می‌کنیم.

در مثالهای عددی چگونگی در نظر گرفتن جریانها را خواهیم دید.

1:30

* ادامه دقیق ۲:



با فرض مدار اینورتر CMOS محاسبات را انجام می دهیم:

بنابراین مقدار $V_{OH}=V_{DD}$ و $V_{OL}=0$ می باشد.

تا زمانی که ورودی low است، خروجی High می باشد و به محض High شدن ورودی، خروجی شروع به low شدن می کند و خازن از طریق M_1 دشارژ می شود.

در t_0 ترانزیستور M_1 روشن می شود و M_2 خاموش می شود. به محض روشن شدن به علت اینکه $V_o=V_{DD}$ است ترانزیستور M_1 اشباع می رود و تا جایی که $V_o=V_{DS}=V_{DD}-V_{Tn}$ و از آن به بعد ترانزیستور M_1 تریود می رود.

بنابراین برای محاسبه زمان تأخیر انتشار در زمان از t_0 تا t_1 و از t_1 تا $t_{50\%}$

M_1: Triode → M_1: Sat

$$\Rightarrow t_{total}=(t_1-t_0)+(t_{50\%}-t_1)$$

را باید به دست آوریم.

در روش تقریبی این موضوع را در نظر نگرفتیم و جریان را در نقاط ابتدایی و انتهایی در نظر گرفتیم و متوسط گیری کردیم.

* $0 \le t \le t_1 \longrightarrow V_{DD} - V_{Tn} \le V_o \le V_{DD}$ بازه زمانی اول

$$i_C = -I_{Dn(sat)} \Rightarrow -C_L \frac{dV_o}{dt} = \frac{k'_n}{2}\left(\frac{W}{L}\right)\underbrace{(V_{DD} - V_{Tn})}_{V_{GS}}{}^2$$

$$\Rightarrow dt = -\frac{C_L}{\frac{k'_n}{2}\left(\frac{W}{L}\right)_n (V_{DD} - V_{Tn})^2} \cdot dV_o$$

از طرفین انتگرال می‌گیریم:

$$\Rightarrow \int_{t_0}^{t_1} dt = \frac{-C_L}{\beta_n/2\,(V_{DD} - V_{Tn})^2} \cdot \int_{V_{DD}}^{V_{DD}-V_{Tn}} dV_o \quad , \quad k'_n\left(\frac{W}{L}\right)_n = \beta_n$$

$$\Rightarrow \boxed{t_1 - t_0 = \frac{2C_L V_{Tn}}{\beta_n (V_{DD} - V_{Tn})^2}} \quad , M_1 : sat$$

* $t_1 < t < t_{50\%} \longrightarrow V_{50\%} \le V_o \le V_{DD} - V_{Tn}$ بازه زمانی دوم

$$i_C = -I_{Dn(Triode)} \Rightarrow -C_L \frac{dV_o}{dt} = \frac{\beta_n}{2}\left[2(V_{DD} - V_{Tn})V_o - V_o^2\right]$$

$$\Rightarrow dt = -\frac{2C_L}{\beta_n\left[2(V_{DD} - V_{Tn})V_o - V_o^2\right]} \cdot dV_o$$

از طرفین انتگرال می‌گیریم:

$$\Rightarrow \int_{t_1}^{t_{50\%}} dt = \int_{V_{DD}-V_{Tn}}^{V_{50\%}} \frac{-2C_L}{\beta_n\left[2(V_{DD} - V_{Tn})V_o - V_o^2\right]} \cdot dV_o$$

Subject: VLSI

Year. 9۶ Month. ۷ Date. ۱۱ ۵۹

$$\Rightarrow t_{50\%} - t_1 = -\frac{2C_L}{\beta_n}\cdot\frac{1}{2(V_{DD}-V_{Tn})}\ln\left(\frac{V_0}{2(V_{DD}-V_{Tn})-V_0}\right)$$

$V_0 = V_{50\%}$

$V = V_{DD} - V_{Tn}$

$$\Rightarrow \boxed{t_{50\%} - t_1 = \frac{C_L}{\beta_n(V_{DD}-V_{Tn})}\ln\left(\frac{2(V_{DD}-V_{Tn})-V_{50\%}}{V_{50\%}}\right)}$$, M_1 : Triode

t_{PHL} برابر است با:

$$t_{PHL} = t_1 - t_0 + t_{50\%} - t_1 = t_{50\%} - t_0$$

$$\Rightarrow \boxed{t_{PHL} = \frac{C_L}{\beta_n(V_{DD}-V_{Tn})}\left[\frac{2V_{Tn}}{V_{DD}-V_{Tn}} + \ln\left(\frac{2(V_{DD}-V_{Tn})}{V_{50\%}} - 1\right)\right]}$$

اگر $V_{50\%} = 0.5V_{DD}$ یعنی مدار ایده‌آل باشد:

$$\Rightarrow t_{PHL} = \frac{C_L}{\beta_n(V_{DD}-V_{Tn})}\left[\frac{2V_{Tn}}{V_{DD}-V_{Tn}} + \ln\left(\frac{4(V_{DD}-V_{Tn})}{V_{DD}} - 1\right)\right]$$

ثابت

مشاهده می‌شود تأخیر بستگی به V_{Tn} ، V_{DD} ، خازن و ابعاد ترانزیستور دارد. V_{DD}, V_{Tn} که ثابت است پس تنها پارامتر ثابت است.

که می‌توان t_{PHL} را بصورت یک مقاومت در نظر گرفت که $\tau = R.C$ و داریم:

$$\tau_n = R_n . C_L \rightarrow \boxed{R_n = \frac{1}{\beta_n(V_{DD}-V_{Tn})}}$$

اگر در نظر می‌گرفتیم که ترانزیستور در کل زمان در اشباع قرار گرفته باشد و وارد ترایود نشود، یعنی انتگرال فقط از رابطه زیر محاسبه شود:

$$\int_{t_0}^{t_{50\%}} dt = \frac{-C_L}{\beta_n/2\,(V_{DD}-V_{Tn})^2}\int_{V_{DD}}^{V_{50\%}} dV_o \qquad , \boxed{V_{50\%} = \frac{V_{DD}}{2}}$$

با محاسبه انتگرال فوق داریم:

$$\Rightarrow \boxed{t_{pHL} \simeq \frac{C_L \cdot V_{DD}}{\beta_n (V_{DD}-V_{Tn})^2}}$$

محاسبات در مدارهای مختلف نشان داده است که در صورت توجه فوق، خطا کمتر از ۱۵ درصد خواهد بود * برای محاسبه t_{pLH} بصورت زیر در نظر می‌گیریم در حالتی که ورودی LOW می‌شود، خروجی High شده، M1 خاموش می‌شود و M2 روشن می‌شود. و جریان M2 با جریان خازن برابر است، شبیه قبل در نواحی ترایود و اشباع:

$$\boxed{t_{pLH} = \frac{C_L}{\beta_p (V_{DD}-|V_{Tp}|)}\left\{\frac{2|V_{Tp}|}{V_{DD}-|V_{Tp}|} + \ln\left(\frac{4(V_{DD}-|V_{Tp}|)}{V_{DD}} - 1\right)\right\}}$$

مانند حالت قبل خواهیم داشت:

$$\tau_p = R_p \cdot C_L \Rightarrow \boxed{R_p = \frac{1}{\beta_p (V_{DD}-|V_{Tp}|)}}$$

به طریق مشابه می‌توان t_{rise}، t_{fall} را نیز محاسبه کرد

Subject: VLSI

Year. 9C Month. ✓ Date. 11 81

$$t_{fall} = t_{HL} = \frac{C_L}{\beta_n (V_{DD} - V_{Tn})} \left\{ \frac{2(V_{Tn} - 0.1 V_{DD})}{V_{DD} - V_{Tn}} + \ln\left(\frac{2(V_{DD} - V_{Tn})}{0.1 V_{DD}} - 1 \right) \right\}$$

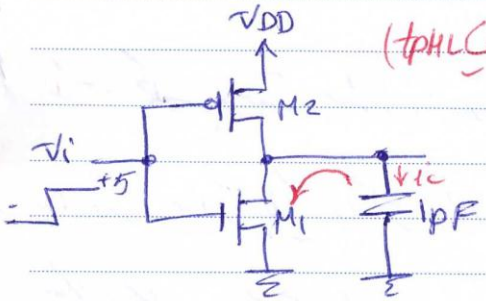
$$t_{rise} = t_{LH} = \frac{C_L}{\beta_p (V_{DD} - |V_{Tp}|)} \left\{ \frac{2(|V_{Tp}| - 0.1 V_{DD})}{V_{DD} - |V_{Tp}|} + \ln\left(\frac{2(V_{DD} - |V_{Tp}|)}{0.1 V_{DD}} - 1 \right) \right\}$$

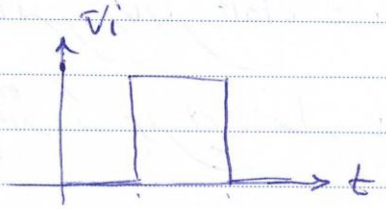
نکته: مهم است متوال مورد نظر اندازه‌گیری زمانی 50% rise & fall نباشد، بلکه یک درصد خاص مدنظر باشد. که برای این منظور باید ما زمان‌گیری را تغییر دهیم.

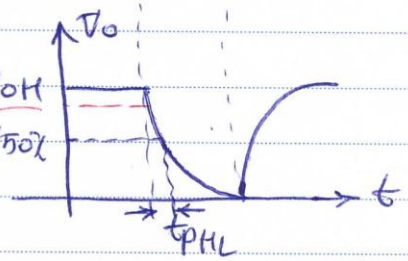
مثال: مدار اینورتر CMOS را در نظر بگیرید. با فازهای $C_L = 1pF$ و:

$V_{DD} = 5V$, $V_{GSn} = 5V$, $V_{DSn} \geq 4 \Rightarrow I_{Dn} = I_{D(sat)} = 5mA$

فرض کنید ورودی از صفر تا ۵ ولت تغییر کند. مدت زمانی که لازم است خروجی از ۵ به ۵/۰ ولت برسد چقدر است؟ (t_{PHL} تعریف)







حل: $V_{DD} = V_{OH}$ با توجه به $V_{DS} \geq 4$ ترانزیستور اشباع می‌شود پس حداقل V_{DS} برابر با ۴ است

$V_{DS} = V_{GS} - V_T \Rightarrow 4 = 5 - V_T \Rightarrow \boxed{V_T = 1V}$

جریان اشباع

$I_{Dn} = \frac{\beta_n}{2}(V_{GS} - V_T)^2 \Rightarrow 5mA = \frac{\beta_n}{2}(5-1)^2 \Rightarrow \boxed{\beta_n = 0.625 \frac{mA}{V^2}}$

ترانزیستور تا زمانی که خروجی به $V_{DD} - V_T$ برسد در اشباع است و ترانزیستور PMOS قطع است.

$i_c = -C_L \frac{dV_o}{dt} = \frac{\beta_n}{2}(V_{DD} - V_{Tn})^2 = I_{Dn(sat)} \Rightarrow dt = \frac{-C_L}{I_{Dn(sat)}}$

$t_0 \leq t \leq t_1$, $V_{DD} - V_{Tn} \leq V_o \leq V_{DD} \rightarrow M1$: sat

$$\Rightarrow \int_{t_0}^{t_1} dt = -\int_{5}^{4} \frac{C_L}{I_{Dn(Sat)}} dv_o \Rightarrow \boxed{t_1 - t_0 = 0.2\ nsec}$$

مدت زمانی که طول می‌کشد تا ترانزیستور در اشباع باقی بماند.

$t_1 \le t \le t_{50\%}$, $V_{50\%} \le V_o \le V_{DD} - V_{Tn} \rightarrow M_1$: Triode

$$ic = -C_L \frac{dv_o}{dt} = \frac{\beta_n}{2}\left[2(V_{DD} - V_{Tn})V_o - V_o^2\right] = I_{Dn(Triode)}$$

$$\Rightarrow dt = -\frac{2C_L}{2\beta_n (V_{DD} - V_{Tn})V_o - V_o^2} dV_o$$

$$\Rightarrow \int_{t_1}^{t_{50\%}} dt = \int_{4}^{V_{50\%}=2.5} \text{---} \Rightarrow \boxed{t_{50\%} - t_1 = 0.32ns}$$

$$\Rightarrow t_{PHL} = t_{50\%} - t_1 + t_1 - t_0 = \underline{t_{50\%} - t_0} = 0.2ns + 0.32ns = \underline{0.52ns}$$

اگر فرض کنیم کل زمانی که طول می‌کشد تا از t_0 تا $t_{50\%}$ برسد، ترانزیستور در ناحیه اشباع باشد، داریم: (برای راحتی کار تقریب بزنیم)

$$\int_{t_0}^{t_{50\%}} dt = -\int_{5}^{2.5} \frac{C_L}{I_{Dn(Sat)}} dv_o \Rightarrow \boxed{t_{50\%} - t_0 = 0.5\ nsec}$$

که با مقدار به دست آمده از روش تقریبا برابر است. علت این است که از ۲٫۵ ولت، ۱ ولت در اشباع، ۰٫۵ ولت در تریود است و می‌توان زمان‌های نزدیک و صحیح‌تر است از فرمول‌های اصلی استفاده شود و تقریب زده نشود.

Sunwood

Subject: VLSI

Year. 9C Month. V Date. 1A ۵۷

$C_L = 1pF, V_{DD} = 5V$ ۷

مثال: فرض کنید داشته باشیم $K_n = \mu_n C_{ox} = 20\ \mu A/V^2, (\frac{W}{L})_n = 10, V_{Tn} = 1V$

هم از روش انتگرال گیری و هم روش تقریبی مقدار زمان نزول را محاسبه کنید.

$t_{HL} = t_{fall} = ?$

روش تقریبی: $I = C\frac{\Delta V}{\Delta t} \rightarrow \Delta t = C\frac{\Delta V}{I_{av}}$

روش تقریبی:

$$t_{HL} = C\frac{V_{90\%} - V_{10\%}}{I_{av\ 90\% \rightarrow 10\%}} = 1pF\ \frac{4.5 - 0.5}{I_{av\ 90\% \rightarrow 10\%}}$$

$$I_{av_{90\% \rightarrow 10\%}} = \frac{1}{2}\left\{ I_C(V_{in} = V_{OH}, V_O = V_{90\%}) + I_C(V_{in} = V_{OH}, V_O = V_{10\%}) \right\}$$

($V_{OH} = 5V$, $V_{90\%} = 4.5$, $V_{10\%} = 0.5$)

در قسمت اول غیر اشباع صادق است: $\underset{4.5}{V_{DS}} \geq \underset{5}{V_{GS}} - \underset{1}{V_T}$

در قسمت دوم غیر اشباع صادق است و بایدا اشباع: $\underset{0.5}{V_{DS}} < \underset{5}{V_{GS}} - \underset{1}{V_T}$

$$\Rightarrow I_{av\ 90\% - 10\%} = \frac{1}{2}\left\{ \frac{K_n'}{2}\frac{W}{L}(V_{DD} - V_{In})^2 + \frac{K_n'}{2}\frac{W}{L}\left[2(V_{DD} - V_{In})V_O - V_O^2\right] \right\}$$

$$= \frac{1}{2}\left\{ \frac{20}{2}\cdot 10(5-1)^2 + \frac{20}{2}\times 10\left[2(5-1)0.5 - (0.5)^2\right] \right\}$$

$$\boxed{I_{av} = 0.9875\ mA}$$

طبق تعریف فوق

$$\Rightarrow \boxed{t_{fall} = t_{HL} = 1pF\cdot\frac{4.5 - 0.5}{0.9875} = 4.09\ n\ sec}$$

2ϕ100

Subject: VLSI

Year. ۹۶ Month. ۷ Date. ۱۸ (۵۵

۷

$i_c = -C_L \frac{dV_o}{dt} = \frac{k'_n}{2} \cdot \frac{W}{L} (V_{DD} - V_{Tn})^2 = I_{Dn(sat)}$ در این رابطه

$V_{DD}-V_{Tn}$ $V_{90\%}$

$4 \le V_o \le 4.5$ $\rightarrow$ M_n @ Sat

$$dt = -\frac{2C_L}{k'_n \frac{W}{L}} (V_{DD} - V_{Tn})^2 dV_o \rightarrow \int_{t_0}^{t_{sat}} dt = -\frac{2C_L}{k'_n \frac{W}{L}} \int_{4.5}^{4} \dots$$

$\rightarrow$ $\boxed{t_{sat} - t_0 = 0.313 \text{ nsec}}$

$V_{10\%}$ $V_{DD}-V_{Tn}$

$0.5 \le V_o \le 4V$ $\rightarrow$ M_n @ Triode

$$-C_L \frac{dV_o}{dt} = \frac{k'_n}{2} \cdot \frac{W}{L} \left\{ 2(V_{DD} - V_{Tn}) V_o - V_o^2 \right\} = I_{Dn(Triode)}$$

$$\Rightarrow \int_{t_{sat}}^{t_{10\%}} dt = \int_{4}^{0.5} -\frac{2C_L}{k'_n \frac{W}{L} \left\{ 2(V_{DD} - V_{Tn}) V_o - V_o^2 \right\}} \cdot dV_o$$

$\boxed{t_{10\%} - t_{sat} = 3.385 \text{ nsec}}$

$\rightarrow$ $t_{fall} = t_{10\%} - t_{sat} + t_{sat} - t_0 \rightarrow t_{10\%} - t_0 = t_{fall}$

$= 3.698 \text{ nsec}$

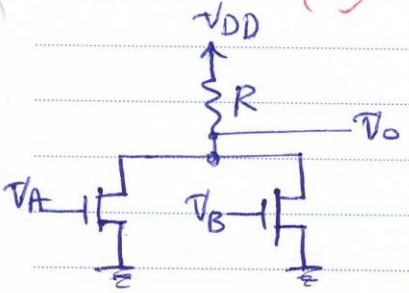
اگر خطای فوق قابل تحمل باشد، از روش تقریبی استفاده می‌کنیم وگرنه از روش دقیق استفاده می‌کنیم.

27:00

بیشتر t_{rise}, t_{PLH} و بیشتر t_{fall}, t_{PHL} برای NMOS بزرگتر

برای کم کردن این زمانهای تأخیر استثمار: ① خازن بار را کم کنیم ② ولتاژ V_{DD} را کم کنیم در محرج رابطه است افزایش دهیم ③ نسبت $\frac{W}{L}$ ترانزیستور را بالا ببریم یعنی ابعاد ترانزیستور را افزایش دهیم.

گیت NOR دو ورودی با بار مقاومتی (مشخصات استاتیک)



V_A	V_B	V_o	
V_{OL}	V_{OL}	V_{OH}	
V_{OL}	V_{OH}	V_{OL_1}	$\rightarrow V_{OL_2} < V_{OL_1}$
V_{OH}	V_{OL}	V_{OL_1}	
V_{OH}	V_{OH}	V_{OL_2}	

برای محاسبه V_{OH} فقط یک حالت وجود دارد که در آن دو ورودی V_{OL} باشد:

$$V_A = V_B = V_{OL} \rightarrow I_L = \frac{V_{DD} - V_o}{R_L} = 0 \Rightarrow \boxed{V_{OH} = V_{DD}}$$

مطمئن هستیم که ترانزیستورها خاموش هستند

برای محاسبه V_{OL}، سه حالت وجود دارد. بدترین حالت V_{OL} یعنی بیشترین مقدار V_{OL} که قادر است ترانزیستور طبقه بعد را خاموش کند و به عنوان معیار در نظر گرفته شود

برای محاسبه V_{OL} بدترین حالت را که در آن فقط یک ترانزیستور روشن است در نظر می‌گیریم. زیرا در حالتی که هر دو روشن باشند با توجه به اینکه مقاومت‌های آنها با هم موازی می‌شود، مقاومت و متناسب آنها کاهش یافته و جریان را افزایش پیدا می‌کند. و V_{OL} بهتر می‌شود یعنی کمتر می‌شود.

حال در این بدترین حالت که فقط یک ترانزیستور روشن است و دیگری خاموش مدار شبیه به یک مدار اینورتر ساده می‌شود. پس مقدار V_{OL} از معادله V_{OL} مدار اینورتر مقاومتی بدست می‌آید:

$$V_{OL} = V_{DD} - V_{Tn} + \frac{1}{\beta_n R_L} \pm \sqrt{\left(V_{DD} - V_{Tn} + \frac{1}{\beta_n R_L}\right)^2 - \frac{2}{\beta_n R_L} V_{DD}}$$

که از همان روش محاسبه اینورتر مقاومتی استفاده شده است.

یک راه محاسبه جریان ترانزیستوری و مساوی قرار دادن با جریان R_L می‌باشد.

اگر بخواهیم V_{OL} را در حالتی که $V_A = V_B = V_{OH}$ محاسبه کنیم. با توجه به اینکه جریان ترانزیستوری به علت کاهش مقاومت به علت موازی بودن آنها افزایش می‌یابد و با توجه به اینکه مقاومت ترانزیستوری به β_n آن هم به اندازه ترانزیستوری بستگی دارد زیرا،

$\beta_n = K'_n \left(\frac{W}{L}\right)$

به این صورت V_{OL} در حالت کلی برابر است با: (برای ۳ حالت ورودی)

$$V_{OL} = V_{DD} - V_{Tn} + \frac{1}{\beta_{nEQ} \cdot R_L} \pm \sqrt{\left(V_{DD} - V_{Tn} + \frac{1}{\beta_{nEQ} \cdot R_L}\right)^2 - \frac{2}{\beta_{nEQ} R_L} V_{DD}}$$

به اگر ترانزیستورهای مشابه باشند، برای NOR

V_A	V_B	$\left(\frac{W}{L}\right)_{EQ}$
V_{OL}	V_{OH}	$\left(\frac{W}{L}\right)$
V_{OH}	V_{OL}	$\left(\frac{W}{L}\right)$
V_{OH}	V_{OH}	$2\left(\frac{W}{L}\right)$

مقدار β_{nEQ} یعنی مقدار $\left(\frac{W}{L}\right)_{EQ}$ که مقدار آن از جدول روبرو به دست می‌آید:

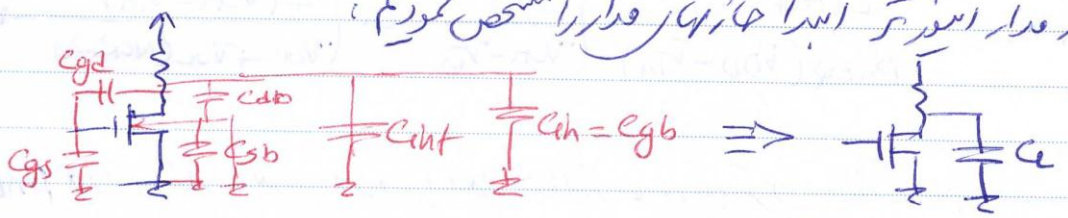
این حالتی است که ترانزیستورها مشابه باشند و در صورتیکه ترانزیستورها یکسان نباشند، V_{OL} در حالتی کمتر است که ترانزیستور A روشن باشد یا ترانزیستور B روشن باشد یا هم متفاوت می‌باشد. و باید حالتی را در نظر بگیریم که در آن ترانزیستور با $\frac{W}{L}$ کوچکتر روشن می‌شود. زیرا مقاومت بیشتر است، و V_{OL} بیشتر است. در اینجالت در V_{OL} نیز $\left(\frac{W}{L}\right)_{EQ}$ برابر $2\left(\frac{W}{L}\right)$ نخواهد بود و باید $\frac{L}{W}$ ها را با هم جمع کرده و عکس کنیم تا $\frac{W}{L}$ معادل به دست آید (همانند مقاومتهای موازی)

برای NOR با n ورودی نیز بدترین حالت، روشن بودن یک ترانزیستور است، در صورت سایز کمتر $\frac{W}{L}$ معادل در آخرین حالت برابر $\frac{W}{L} \cdot n$ خواهد بود

Sunwood

محاسبه‌ی زمانی NOR دو ورودی (محاسبات دیجیتال)

در مدار اینورتر ابتدا خازن‌های مدار را مشخص نمودیم:

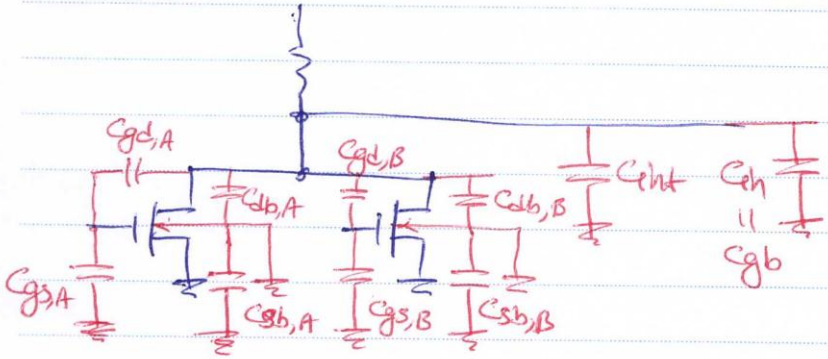


و سپس تمام خازن‌ها را با یک خازن C_L معادل سازی کردیم.

برای مدار اینورتر مقدار t_{PHL} بصورت زیر بدست آمد:

$$t_{PHL} = \frac{C_L(inv)}{\beta_n(V_{DD}-V_{Tn})}\cdot\left\{\frac{2V_{Tn}}{V_{OH}-V_{Tn}} + \ln\left(\frac{4(V_{OH}-V_{Tn})}{V_{OH}+V_{OL}(inv)}-1\right)\right\}$$

برای بررسی تفاوت این زمان تأخیر آشکار با مدار NOR، خازن‌های مدار اخیر را مشخص می‌کنیم:



خازن معادل هر خازن زیر شکل دارد:

$$C_L(NOR_2) = C_{gd,A} + C_{db,A} + C_{gd,B} + C_{db,B} + C_{int} + C_{in}$$

بنابراین C_L در NOR-2 با اینورتر متفاوت است. و متغیر از ورودی A, B است.

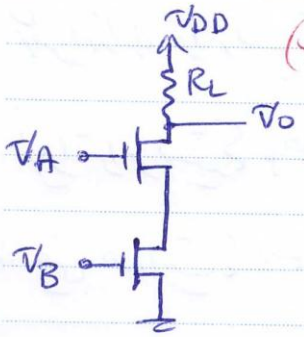
$$t_{pHL} = \frac{C_L(NOR-2)}{\beta_{nEQ}(V_{DD}-V_{Tn})}\left[\frac{2V_{Tn}}{V_{OH}-V_{Tn}} + \ln\left(\frac{4(V_{OH}-V_{Tn})}{V_{OH}+V_{OL}(NOR-2)} - 1\right)\right]$$

β_{nEQ} در صورتیکه الگوی ورودی را نداده باشد، در بدترین حالت بدست می‌آوریم. یعنی حالتی که بیشترین زمان تأخیر را به ما می‌دهد.

زمان تأخیر انتشار در NOR-2 در بدترین حالت از زمان تأخیر وارد اینورتر بیشتر خواهد بود زیرا C_L در اینحالت از وارد اینورتر بزرگتر خواهد بود. علیرغم اینکه هاست اینورتر یک ترانزیستور روشن شده است.

به علت بزرگتر شدن خازنها در این حالت تنها به اسوزتر، در بدترین حالت زمان تاخیر اشیاء بیشتر خواهد شد

گیت NAND دو ورودی با بار مقاومتی (تکنولوژی NMOS)



V_A	V_B	V_o
V_{OL}	V_{OL}	V_{OH}
V_{OL}	V_{OH}	V_{OH}
V_{OH}	V_{OL}	V_{OH}
V_{OH}	V_{OH}	V_{OL}

برای محاسبه V_{OH} هیچکدام از حالتها بهترین حالت نیست و تفاوتی باهم ندارند. زیرا با خاموش شدن یکی، جریان تراتزیستور باهم برابر هشته جریان گذرنده صفر خواهد بود:

$$\Rightarrow \frac{V_{DD}-V_o}{R_L}=0 \Rightarrow \boxed{V_{OH}=V_{DD}}$$

در حالت خروجی V_{OL} یک حالت دارد

$$V_A=V_B=V_{OH}=V_{DD}$$

به دلیل اینکه ترانزیستور A اثر بدنه دارد، زیرا S, B هم متصل نیست.

ولی ترانزیستور B اثر بدنه ندارد. بنابراین $V_{TA} \neq V_{TB}$ (دوورودی NAND)

ولی با صرف نظر از اثر بدنه می‌توان از رابطه V_{OL} مربوط به اینورتر استفاده کرد. و فقط کافی است بجای β_n مقدار $\beta_{n_{EQ}}$ (معادل) قرار داده شود یعنی $\left(\frac{W}{L}\right)_{EQ}$

اگر اندازه ترانزیستورها با هم برابر باشد،

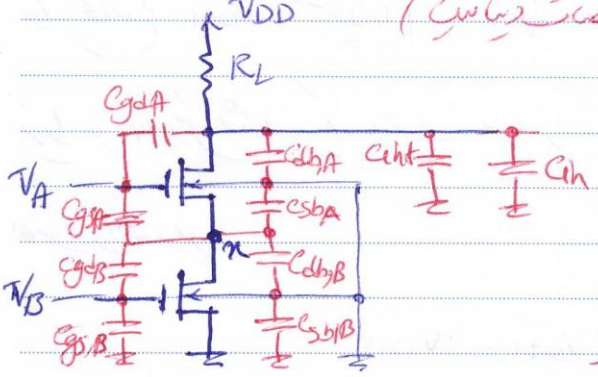
زیرا ترانزیستورها با هم سری هستند $\left(\frac{W}{L}\right)_{EQ} = \frac{1}{2}\frac{W}{L}$ ⟶

↳ یعنی هدایت‌ها با هم سری شده‌اند. اگر تعداد ترانزیستورها n عدد باشد

$$\left(\frac{W}{L}\right)_{EQ} = \frac{1}{n}\cdot\frac{W}{L}$$

محاسبه زمان‌ها t_{PLH}, t_{PHL} (تئوری) (مشخصات دینامیک)

ابتدا خازن‌های مدار را مشخص می‌کنیم،



تا بتوانیم خازن معادل خروجی را پیدا کنیم.

هر کدام، فرقی نمی‌کند ←

برای محاسبه زمان‌های فوق ۲ حالت برای حالتی که خروجی می‌خواهد High شود وجود دارد،

Subject: VLSI

Year. 9C Month. √ Date. ۱۸ ۹۳

۷

حالت اول $V_A = V_{DD}$

$V_B = V_{DD} \rightarrow V_{OL}$

حالت دوم $V_A = V_{DD} \rightarrow V_{OL}$

$V_B = V_{DD}$

در حالت اول، در لحظه اول دوترانزیستور روشن است و می خواهیم ترانزیستور B را خاموش کنیم. در این صورت خروجی افزایش پیدا می کند. ولی وقتی B خاموش می شود، نقطه x بالا می رود زیرا خازنهای B شارژ شده اند و باعث افزایش ولتاژ خروجی می شوند. یعنی:

حالت اول → $C_L = C_{gd,A} + C_{gsA} + C_{db,A} + C_{sb,A} + C_{gd,B} + C_{db,B} + C_{in} + C_{int}$ → t_{pLH_1}

در حالت دوم: می خواهیم ترانزیستور A را خاموش کنیم، B روشن می ماند. بنابراین ولتاژ x تغییر نمی کند. بنابراین خازنهای B باعث افزایش ولتاژ خروجی نمی شوند و خازنهای مؤثر با حالت قبل متفاوت خواهد بود. یعنی:

حالت دوم → $C_L = C_{gd,A} + C_{db,A} + C_{int} + C_{in}$ → t_{pLH_2}

اگر در هر دو حالت t_{pLH} را حساب کنیم، در حالتی که C_L بزرگتر است، تأخیر انتشار در آن حالت بیشتر است. یعنی t_{pLH} در حالت اول بزرگتر است.

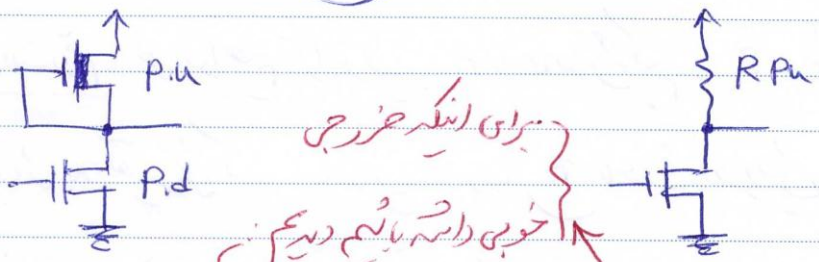
Sunwood

منطق خروجی در هر دو حالت یکی است و می‌توان به منطق مقاومت خواهد بود
بنابراین برای محاسبه t_{PHL} و t_{PLH} بدترین حالت یعنی بزرگترین حالت C_L
مربوط به آخرین ترانزیستور (نقطه ضعیف) می‌باشد را بدست می‌آوریم. در مورد
آخرین ترانزیستور را در نظر بگیریم. (بزرگترین خازن در این حالت بدست می‌آید)

$$t_{PHL} = \frac{C_L(ND-2)}{\beta_{nEQ}(V_{DD}-V_{Tn})}\left\{\frac{2V_{Tn}}{V_{OH}-V_{Tn}} + \ln\left(\frac{4(V_{OH}-V_{Tn})}{V_{OH}+V_{OL}(ND-2)}-1\right)\right\}$$

کمیت با بار تخلیه‌ای

می‌توان همین کار را برای اینورتر با بار تخلیه‌ای هم محاسبه نمود و بدست آورد
برای اینورتر با بار مقاومتی و اینورتر با بار تخلیه‌ای داشتیم



$\frac{Z_{pu}}{Z_{pd}} = 4$ ← $V_{OL} = V_{DD}\frac{R_{ch}}{R_{P.u}+R_{ch}} \le V_T$ (0.2 V_{DD})

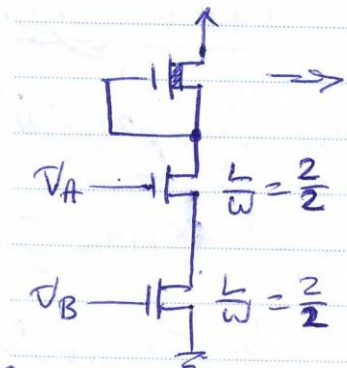
$\frac{(\frac{L}{W})_{P.u}}{(\frac{L}{W})_{P.d}} = 4$ ⟹ $\frac{R_{PU}}{R_{ch}} \ge 4$

$(\frac{W}{L})_{Pd} = \frac{2}{2}$ ← Mihz 2μm برای ، W=L

$(\frac{W}{L})_{P.u} = \frac{8}{2}$ → NOR کمیت NAND ارجح است یا کمیت

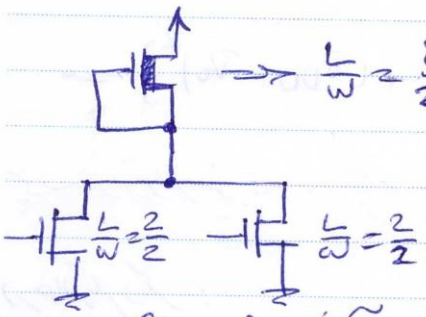
Sunwood

برای گیت NAND :



اگر $\frac{L}{W}$ ترانزیستورهای P.d برابر $\frac{2}{2}$ باشد، برای اینکه مدار شبیه اینورتر باشد باید هر دو ترانزیستور روشن باشند.
بنابراین $\frac{L}{W}$ که باید با هم سری شوند یعنی $\frac{L}{W}=\frac{4}{2}$ پس $\frac{L}{W}$ P.u باید ۴ برابر آن باشد.

برای گیت NOR :

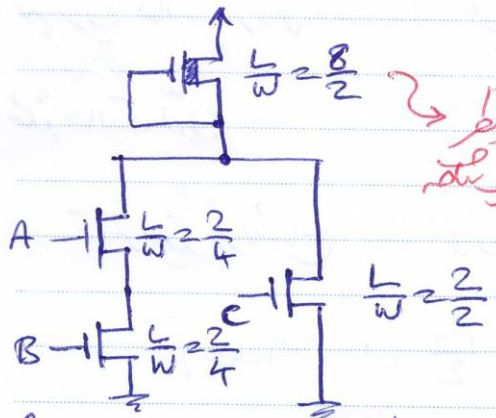


بهترین حالت وقتی که فقط یک ترانزیستور روشن باشد در نظر می‌گیریم.

یعنی حالتی که بیشترین مقاومت را دارد یعنی زمانی که یکی از آن‌ها روشن باشد:

$$\left(\frac{L}{W}\right)_{P.d}=\frac{2}{2} \rightarrow \left(\frac{L}{W}\right)_{P.u}=4\times\frac{2}{2}=\frac{8}{2}$$

برای ساختن $Z=\overline{AB+C}$:

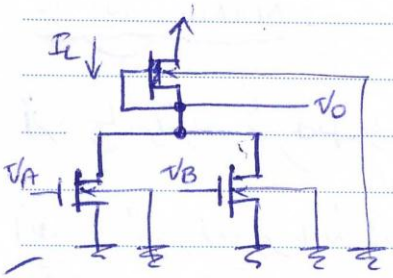


بهترین حالت را در نظر می‌گیریم که فقط یک ترانزیستور روشن باشد

$\frac{L}{W}$ ترانزیستور C را $\frac{2}{2}$ در نظر می‌گیریم که Min fitur است و ساختن در لحاظ مقاومت در حالت روشن شدن باید یکسان باشند پس هرکدام $\frac{L}{W}=\frac{2}{4}$ باید باشد. زیرا حالتی که هر دو ترانزیستور روشن باشند را از بقیه حالت‌ها حذف می‌کنیم. زیرا باز هم بدترین حالت را در نظر می‌گیریم.

Sunwood

برای گیت NOR :



اگر بخواهیم ولتاژ خروجی High, Low را در گیت NOR محاسبه کنیم، برای اینکه خروجی High باشد باید داشته باشیم: که برای جریان بار چون خروجی H است پس ترانزیستور درایور

$V_A = V_B = V_{OL}$

$$\rightarrow I_L = \frac{\beta_n}{2}\left\{2(\overbrace{0}^{V_{GS}} - V_{Tdep})(\overbrace{V_{DD} - V_O}^{V_{DS}}) - (\overbrace{V_{DD} - V_O}^{V_{DS}})^2\right\} =$$

$\rightarrow V_{OH} = V_{DD}$

چون هر دو ترانزیستور pd خاموش هستند.

در حالتهای دیگر:

$V_A = V_{OL}$ $V_B = V_{OH}$
$V_A = V_{OH}$ $V_B = V_{OL}$
$V_A = V_{OH}$ $V_B = V_{OH}$

بدترین حالت زمانی است که یکی از ترانزیستورها روشن و دیگری خاموش باشد.

حدّ حالت لبه:

$V_O = V_{OL}$

$I_{D_1} = I_{DL}$ $\rightarrow$ ترانزیستور درایور = ترانزیستور درایور در اشباع

$$\frac{\beta_{driver}}{2}\left\{2(\overbrace{V_{OH}}^{V_{GS}} - V_{Tn})\underbrace{V_O}_{V_{DS}} - \underbrace{V_O^2}_{V_{DS}}\right\} = \frac{\beta_n}{2}(\underbrace{0}_{V_{GS}} - V_{Tdep})^2$$

$$V_{OL} = V_{OH} - V_{Tn} - \sqrt{(V_{OH} - V_{Tn})^2 - \frac{\beta_{Load}}{\beta_{driver}} |V_{Tdep}|^2}$$

* از طرفی مقدار V_{Tdep} تحلیل اثر بدنه را دارد (نکته)

$$V_{Tdep} = V_{T0} + \gamma\left(\sqrt{|2\phi_F| + V_{SB}} - \sqrt{|2\phi_F|}\right)$$

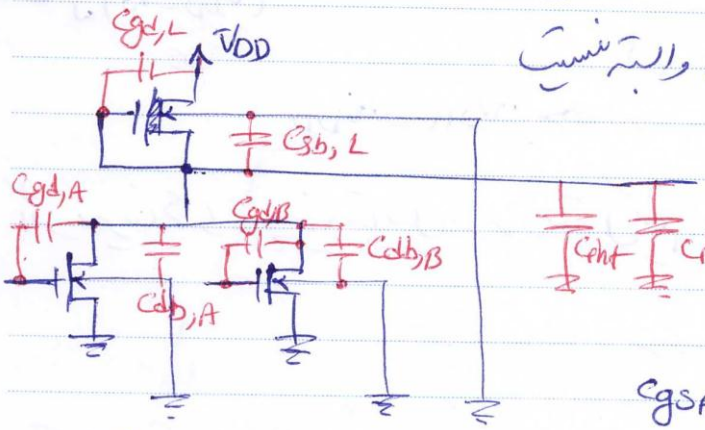
($V_{SB} = V_{OL}$)

از دو معادله فوق V_{OL} به دست می آید.

برای محاسبه زمانهای تأخیر مدار خازنهای موثر در نظر گرفته شده اند.

در اینجا خازنها به الگوی ورودی وابسته نیست

همه در خروجی اثر دارند:



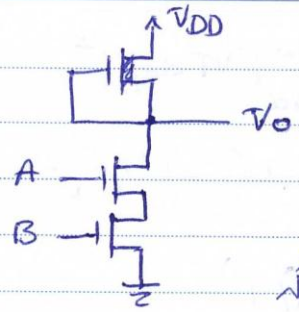
طبقه بعد $\rightarrow C_{gb}$

اتصال کوتاه $C_{gsA} = C_{gsB} = 0$

مشابه کتبی است که دیدیم و تفاوتی نمی کند. و خازنهای موثر در نظر گرفته شده اند.

در اینجا نیز با توجه به معادله زمان تأخیر انتشار مدار ساده تر و خازنهای موثر و

و تابع خروجی را متناسب با الگوی ورودی به دست آورید.



گیت NAND :

در اینجا لازم است برای بدست آوردن خروجی High یکی از حالتهای زیر را در نظر می‌گیریم. جریان عبوری در حالتی که ترانزیستورها وارد تریود می‌شوند :

$V_A = V_{OL}$, $V_B = V_{OL}$
$V_A = V_{OL}$, $V_B = V_{OH}$ $\rightarrow$ $I_L = \frac{\beta_L}{2}\left[2(0 - V_{Tdep})(V_{DD} - V_O) - (V_{DD} - V_O)^2\right] = 0$
$V_A = V_{OH}$, $V_B = V_{OL}$

(V_{GS} = 0 − V_{Tdep}, V_{DS} = $V_{DD} - V_O$, V_{DS} = $V_{DD} - V_O$)

است که در سه حالت بالا جریان صفر

$\Rightarrow$ $\boxed{V_{OH} = V_{DD}}$

اگر نوری بکار ما پایین پتانسیل موجود متصل کنیم، فقط B اثر بهره ندارد.

$V_A = V_B = V_{OH}$ $\rightarrow$ $V_{OL} = ?$

دو ترانزیستور B , A روشن می‌شوند و چون خروجی LOW می‌شود. هاشت مدار بیشتر که ترانزیستور وارد تریود می‌شد در اینجا چون ۲ ترانزیستور هستند، ترانزیستورهای A و B وارد ناحیه تریود می‌شوند. ولی ترانزیستور L وارد ناحیه اشباع می‌شود، زیرا V_{DS} بزرگ است. ($V_{DS} = V_{DD} - V_{OL}$)

$\rightarrow$ $I_{DL(sat)} = I_{DA(Triode)} = I_{DB(Triode)}$

$$\frac{\beta_L}{2}(\underbrace{0}_{V_{GS}} - V_{Tdep})^2 = \frac{\beta_A}{2}\left[2(V_{GS,A} - V_{T_1}).V_{DS_1} - V_{DS_1}^2\right] = \frac{\beta_B}{2}\left[2(V_{GS,B} - V_{T_2})V_{DS_2} - V_{DS_2}^2\right] \Rightarrow$$

می‌توان تقریب کرد زیرا در تکنولوژی ۱ (جریان خروجی low است)

برای ترانزیستور A $V_{GS} \neq V_{OH}$ زیرا ورودی به G متصل شده ولی تقریب زنیم

$$V_{GS,A} \cong V_{GS,B} = V_{OH}$$

و اگر از اثر بدنه ترانزیستور صرف نظر کنیم (A اثر بدنه دارد، B ندارد)

$$V_{T_1} = V_{T_2} = V_{T_0}$$

$$\begin{cases} V_{DS,A} = V_{OH} - V_{T_0} - \sqrt{(V_{OH} - V_{T_0})^2 - \frac{\beta_L}{\beta_A}|V_{Tdep}|^2} & \text{رابطه اول} \\ V_{DS,B} = V_{OH} - V_{T_0} - \sqrt{(V_{OH} - V_{T_0})^2 - \frac{\beta_L}{\beta_B}|V_{Tdep}|^2} & \text{رابطه دوم} \end{cases}$$

$\beta_A = \beta_B = \beta_{A,B}$ ← اگر بازهم اندازه‌ی A, B برابر باشد

$$\Rightarrow V_{OL} = 2\left[V_{OH} - V_{T_0} - \sqrt{(V_{OH} - V_{T_0})^2 - \frac{\beta_L}{\beta_{A,B}}|V_{Tdep}|^2}\right]$$

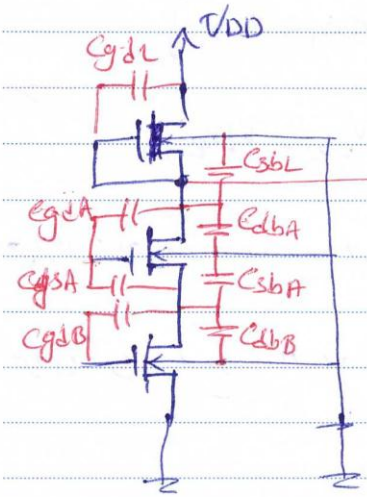
($V_{DS_A} = V_{DS_B}$, $2V_{DS_A} = 2V_{DS_B}$)

در غیر اینصورت باید V_{DS}ها را جداگانه محاسبه کرد و باهم جمع کرد.

برای محاسبه زمانهای مورد نظر خازهای مقابل را در نظر می‌گیریم. (صفحه بعد)

دیده می‌شود که حداقل یک اینورتر با $\frac{W}{L}$ کوچک باهم مدل شده‌اند

Sunwood



در اینجالت تر مشاهده می‌شود که بهترین
حالت مربوط به ترانزیستور پایینی می‌باشد
که تغییر وضعیت می‌دهد و با مدار قبل
تفاوتی ندارد. و ...

ساختار کلی منطق CMOS

* انتقال

- منطق مکمل — Compelementary Logic
- ترانزیستور عبور — Pass Transistor Logic
- گیت انتقال — Transmission Logic
- شبه NMOS — Pseudo NMOS Logic

* دینامیک

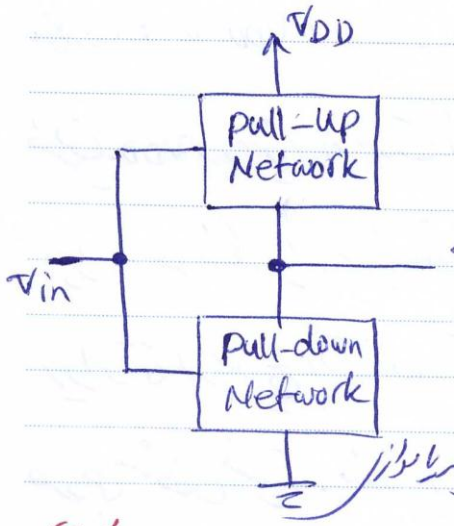
Domino Logic , Dynamic Logic

Subject: VLSI

Year. 98 Month. ۷ Date. ۱۸ ۷۱

۱۷

* ساختار منطق فلک :



شکل کلی این ساختار از دو شبکه pu و pd تشکیل شده است که به شکل روبرو می باشد

در شبکه ای فوق از یک سری سوئیچ استفاده شده که با استفاده از ترانزیستور ساخته می شوند که یا سری هستند یا موازی

* سوئیچهایی که در شبکه ای فوق استفاده می شود

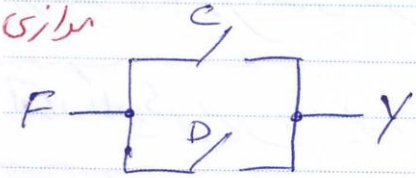
سری

خلتی است سری باشند یا ←

NMOS → $Z = X(A.B) + Hiz(\overline{A.B})$ — High Ampedance

PMOS → $Z = X(\overline{A}.\overline{B}) + Hiz(\overline{\overline{A}.\overline{B}})$ — خودش معکوس نیست

موازی



حال اگر سوئیچها استفاده شده در شبکه ای موازی باشند، یا ←

NMOS → $Y = F(C+D) + Hiz(\overline{C+D})$ — High Ampedance

PMOS → $Y = F(\overline{C}+\overline{D}) + Hiz(\overline{\overline{C}+\overline{D}})$

با ترکیبهای A، B، C، D منطق X = Z، F = Y تشکیل می شود.

X و F یا VDD است و یا زمین. منظور این است که منطق خروجی از طریق VDD و زمین نیست آمده و نه از ورودی گیت مدار.

چرا به دو شبکه نیاز می‌باشد؟

زیرا وقتی از سوئیچ استفاده می‌کنیم، وقتی سوئیچ را به حال خود رها کنیم، وضعیت خروجی مشخص نیست. مثلاً در مداربندی وقتی سوئیچهای بین هر دو وصل باشد خروجی صفر است ولی اگر یکی از سوئیچها تیز وصل نیست وقتی خروجی صفر نیست باید یک باشد. و این "یک" با شبکه مکمل تأمین می‌شود. و شبکه مکمل باید از Hiz شدن خروجی جلوگیری کند.

از شبکه P.d برای انتقال "صفر" و از شبکه P.U برای انتقال "یک" منطقی استفاده می‌شود

تعداد کلیدی بین را خیلی زیاد انتخاب نمی‌کنیم. (از نظر عددی تعداد ۵ عدد)

از آنجائیکه ترانزیستورهای NMOS "صفر" را خوب منتقل می‌کنند، از آنها در شبکه P.d استفاده می‌کنیم، و از آنجائیکه ترانزیستورهای PMOS "یک" را خوب منتقل می‌کنند، از آنها در شبکه P.U استفاده می‌کنیم. (ساده‌ترین ایده سیستم CMOS)

در شبکه pull Down از ترانزیستورهای NMOS و در شبکه pull up از ترانزیستورهای PMOS استفاده می‌کنیم.

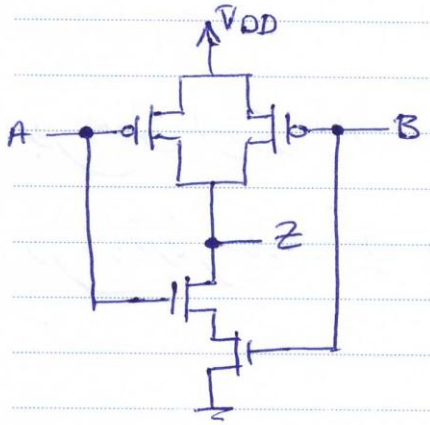
در ادامه گیتهای منطقی با منطق مکمل CMOS را بررسی می‌کنیم و زمانهای مدار را محاسبه می‌کنیم. گیت NAND با منطق مکمل

NAND

$Z = \overline{A.B} = \bar{A} + \bar{B}$

در گیت NAND هرکدام از ورودی‌ها صفر باشند، خروجی باید به V_{DD} برود. چون می‌خواهیم شبکه P.U را از ترانزیستورهای PMOS استفاده کنیم، یا باید از شبکه‌ی PMOS استفاده کنیم یا موازی.

با توجه به رابطه می‌توانیم $\bar{A}.\bar{B}$ را به صورت $\bar{A}+\bar{B}$ که برای انتقال مناسب منطق باقی از شبکه موازی استفاده کنیم (شکل) که با صفر شدن هرکدام از ورودی‌ها خروجی به V_{DD} می‌رود. (یک می‌شود = درستی)



حال اگر هر دوی ورودی‌ها درست نباشند (یک باشند) خروجی به حالت Hi z می‌رود. در شبکه P.d باید از Hi z شدن جلوگیری کند. یعنی اگر Z شود یا $\bar{Z}$ بود باید شبکه P.d فعال شود و خروجی صفر شود پس $\bar{Z} = A.B$ که برای اینکه با ترانزیستورهای NMOS

Sunwood

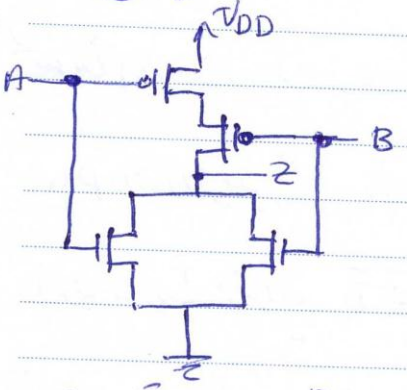
ساخته شود بایداز شبکه pun استفاده کنیم یعنی مکمل تر از pdn

مثال - گیت NOR با منطق مکمل

NOR

$$Z = \overline{A+B} = \bar{A}.\bar{B}$$

شبکه p.u می خواهیم PMOS باشد که $A+B$ یعنی $\bar{A}.\bar{B}$ که برای ساختن آن باید از سری ترانزیستور pmos استفاده کنیم. وقتی قرار نیست z درست باشد (1) باید $\bar{z}$ درست باشد که $\bar{z}=A+B$ که برای ساختن آن توسط طبق NMOS باید از شبکه موازی استفاده کنیم.



شکل مدار نهایت بصورت زیر خواهد آمد.

برای منطق اینورتر قبلاً فقط CMOS و مکمل بصورت مداری مقاومتی برای بار ترانزیستور معادل از قبیل و تاثیر آستانه منطقی به دست آوردیم.

در اینورتر CMOS برای V_{th} مقدار زیر خواهد بود:

تاثیر آستانه منطقی اینورتر

$$V_{th(inv)} = \frac{V_{Tn} + \sqrt{\frac{\beta_P}{\beta_n}}(V_{DD}+V_{Tp})}{1+\sqrt{\frac{\beta_P}{\beta_n}}}$$

برای گیت NOR اگر بخواهیم V_{th} را حساب کنیم، از تعریف داریم:

$$V_O = V_A = V_B$$

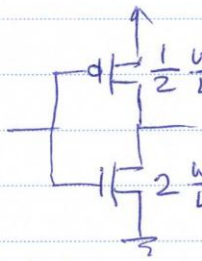
برای گیت NOR نیز چون ورودی با خروجی برابر است به طرفی رسیدیم همه ترانزیستورهای pull-up و pull-down ناصحیح قرار دارند. کافی است ابعاد ترانزیستورها را معادل قرار داده

$$V_{th(NR-2)} = \frac{V_{Tn} + \sqrt{\frac{\beta_{p(EQ)}}{\beta_{n(EQ)}}}(V_{DD}+V_{Tp})}{1+\sqrt{\frac{\beta_{p(EQ)}}{\beta_{n(EQ)}}}}$$

بشود. این داریم: ←

یعنی چون $\beta = k'\frac{W}{L}$، و چون k'

تفاوتی ندارد پس در اصل نسبت $\frac{W}{L}$ ها باشد ← $\beta_{(EQ)} = \frac{W}{L}$



$\frac{W}{L}$ مانند هدایت است، $\frac{L}{W}$ مانند مقاومت پس وقتی دو ترانزیستور

باهم موازی می‌شوند هدایت‌هایشان باهم جمع می‌شود، در حالت ترانزیستورهای سری $\frac{L}{W}$ ها باهم

جمع می‌شوند

$$\Rightarrow V_{th(NR-2)} = \frac{V_{Tn} + \frac{1}{2}\sqrt{\frac{\beta_p}{\beta_n}}(V_{DD}+V_{Tp})}{1+\frac{1}{2}\sqrt{\frac{\beta_p}{\beta_n}}}$$

درصورت برابر $\frac{W}{L}$:

پس برای NOR-2 برای β_p معادل برابر $\frac{1}{2}\beta_p$ می‌شود چون ترانزیستورهای PMOS

باهم سری هستند و برای β_n معادل برابر $2\beta_n$ می‌شود. چون ترانزیستورهای NMOS

باهم موازی هستند بنابراین رابطه V_{th} بصورت فوق درمی‌آید.

Sunwood

Subject: VLSI

Year. ۹۶ Month. ۷ Date. ۲۵ ۷۹

۷

حال اگر کلیت مقررض n دسودی داشته باشد به شرط تقسیم بودن $\frac{W}{2}$ بر $\frac{W}{2}$

ترانزیستورهای ضریب $\frac{1}{2}$ به $\frac{1}{n}$ تغییر می‌کند.

زمان تأخیر انتشار NOR_2 : (از روی روابط مربوط به اینورتر)

زمان تأخیر انتشار برای NOR دو ورودی:

$$t_{PHL(NR-2)} \cong \frac{C_{L(NR-2)}}{2\beta_n}\left[\frac{2V_{Tn}}{V_{DD}-V_{Tn}} + \ln\left(\frac{4(V_{DD}-V_{Tn})}{V_{DD}} - 1\right)\right]$$

فرض شده هر دو ترانزیستور روشن شده

برای بالاترین وقت (چون این رابطه معادل ساز شده است) بدترین حالت را در نظر می‌گیریم

بدترین حالت زمانی است که یک ترانزیستور P.D خاموش باشد. بنابراین اگر 2 را از مخرج کسر برداریم، عدد بدست آمده بزرگتر می‌شود و بهتر است.

واقعیت بدتر را نشان می‌دهد. که اگر حتی ترانزیستور S نشانه نباشد باید حالتی را در نظر بگیریم که مقاومت بزرگتری را نشان دهد پس برای t_{PLH} داریم:

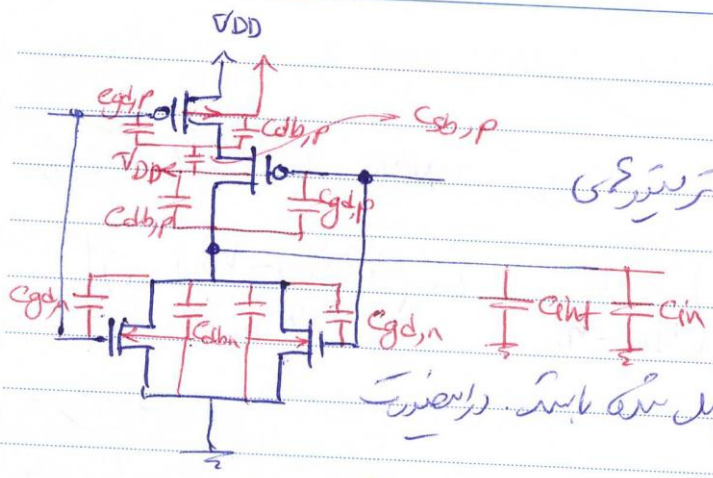
$$t_{PLH(NR-2)} \cong \frac{C_{L(NR-2)}}{\beta_{P/2}}\left[\frac{2|V_{TP}|}{V_{DD}-|V_{TP}|} + \ln\left(\frac{4(V_{DD}-|V_{TP}|)}{V_{DD}} - 1\right)\right]$$

زمانی که خروجی یک می‌شود زمانی است که هر دو ترانزیستور روشن شده باشند پس

بدترین حالت برای t_{PLH} زمانی است که هر دو ترانزیستور P.U روشن باشند که در این حالت خروجی High می‌شود. پس مقدار بدست آمده بهترین حالت است. و رابطه درست است.

21:37

خازن C_L

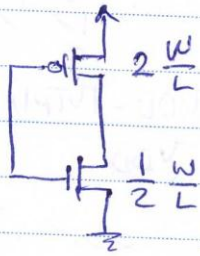


برای خازن C_L اگر Bulk ترانزیستورهای NMOS به زمین متصل شده باشد و برای PMOS به V_{DD} وصل شده باشد. در اینصورت خازن‌ها مدار اینصورت خواهد بود و خازن کل اینصورت زیر است:

$$C_{L(NR-2)} = 2C_{db,n} + 2C_{gd,n} + 2C_{gd,p} + 2C_{db,p} + C_{sb,p} + C_{int} + C_{in}$$

که بهترین حالت برای ترانزیستورهای پس نابت نگه داشتن یکی و تغییر دیگری است تا اثر خروجی از طریق خازن‌ها منتقل شود

برای گیت NAND

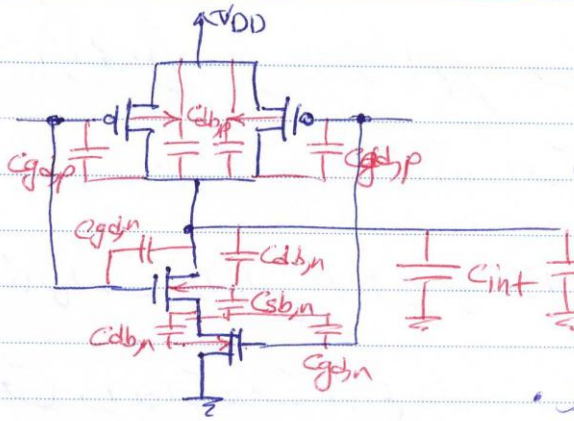


و تابع آستانه NAND دو ورودی اینصورت زیر خواهد بود

اگر بخواهیم با ابزار ترانزیستور شبیه‌سازی کنیم مشابه شکل زیر خواهد شد

$$V_{th(ND-2)} = \frac{V_{Tn} + 2\sqrt{\frac{\beta_p}{\beta_n}}(V_{DD} - V_{Tp})}{1 + 2\sqrt{\frac{\beta_p}{\beta_n}}}$$

زیرا در اینحالت ترانزیستورهای PMOS هر دو روشن هستند و برای pd یکی روشن خواهد شد (بهترین حالت)



خازنهای مدار NAND دوورودی زیر

برای بدترین حالت که منظور V_A را نابت

در نظر گرفتیم و با تغییر V_B از صفر به یک

با برعکس شدن خازنها را در روند شامل میشود.

$$t_{PHL(ND-2)} = \frac{C_{L(ND-2)}}{\beta_n/2}\left\{\frac{2V_{Tn}}{V_{DD}-V_{Tn}} + \ln\left(\frac{4(V_{DD}-V_{Tn})}{V_{DD}} - 1\right)\right\}$$

در بدترین حالت، دو ترانزیستور حتماً روشن هستند

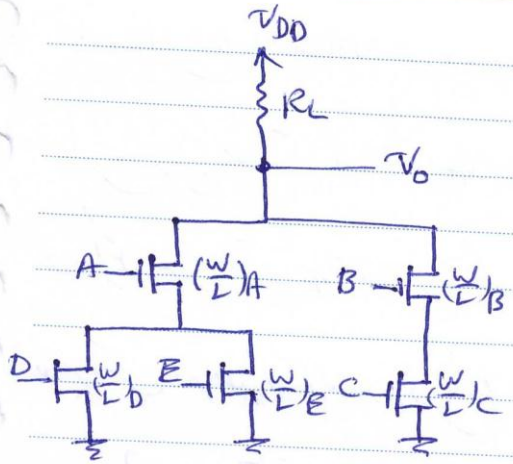
$$t_{PLH(ND-2)} = \frac{C_{L(ND-2)}}{2\beta_p}\left\{\frac{2|V_{TP}|}{V_{DD}-|V_{TP}|} + \ln\left(\frac{4(V_{DD}-|V_{TP}|)}{V_{DD}} - 1\right)\right\}$$

در بدترین حالت،

مقادیر فوق همگی در اسپیرتر پیست آماده است و در اینجا سعی بر این است که با معادل سازی از همان روابط مدار اسپیرتر استفاده کنیم و مقادیر را پیست آوریم.

مثال: مدار زیر را در نظر بگیرید. (فرض نمی کنیم که تا در اینحالت مقاومتی باشد تا ترانزیستوری)

محاسبات پارامتری مدار را برای مدار زیر انجام دهید.



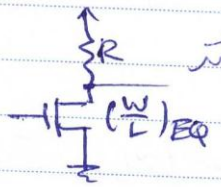
از آنجایی که معادل پارامتری را برای اینورتر با بار مقاومتی نیز قبلاً به دست آورده است، کافی است تراتر اینور معادل $\frac{W}{L}$ آنرا فقط در اینجالت به دست آوریم.

خروجی V_o به لحاظ منطقی به صورت زیر است:

$$F = \overline{A(D+E) + BC}$$

معادل سازی به شدت به الگو (Pattern) ورودی بستگی دارد و اینکه کدام 1 یا 0 یا ضعیف خواهد بود. در اینجا فرض بر این است که ورودی‌ها همه یک باشند.

$$A = B = C = D = E = 1$$



می‌توان مدار را با یک اینورتر معادل کرد.

$$\left(\frac{W}{L}\right)_{EQ} = \frac{1}{\frac{1}{\left(\frac{W}{L}\right)_B} + \frac{1}{\left(\frac{W}{L}\right)_C}} + \frac{1}{\frac{1}{\left(\frac{W}{L}\right)_A} + \frac{1}{\left(\frac{W}{L}\right)_D + \left(\frac{W}{L}\right)_E}}$$

$\frac{W}{L}$ معادل از رابطه فوق به دست می‌آید زیرا ترانزیستورهای B و C سری هستند یعنی $\frac{L}{W}$ های آنها با هم جمع می‌شوند و ترانزیستورهای D و E سری هستند پس $\frac{W}{L}$های آنها با هم جمع می‌شود و حاصل با A سری است، $\frac{L}{W}$ها با هم جمع می‌شوند و باعکس $\frac{W}{L}$های آنها جمع می‌شود، حاصل با A سری است.

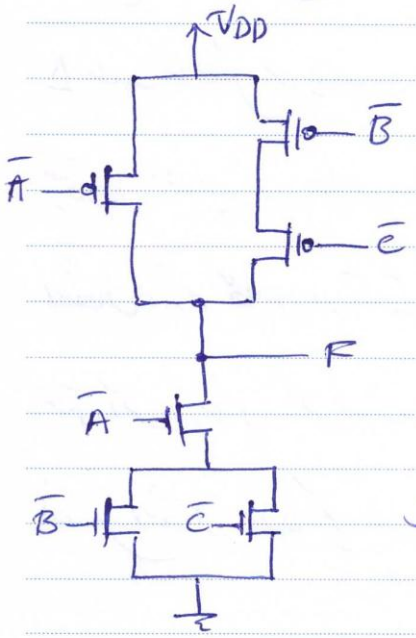
حال اگر تمام ورودیها یک نبودند و یا با توجه به شرایط مدار نخواهیم بهترین شرایط را برای مدار بدست آوریم. دیگر $\frac{W}{L}$ معادل تصویرت فوق نخواهد بود و باید دوباره محاسبه گردد. و حتی در صورت نابرابری $\frac{W}{L}$ ها بزرگترین مقاومت را در نظر میگیریم

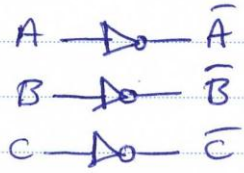
مثال:

$$F = A + BC$$

$$= \overline{\overline{A + BC}} = \overline{\overline{A} \cdot (\overline{B} + \overline{C})}$$

از آنجایکه همیشه تا کنون منطق درخروجی not داشتیم برای ساختن منطق شبکه فوق





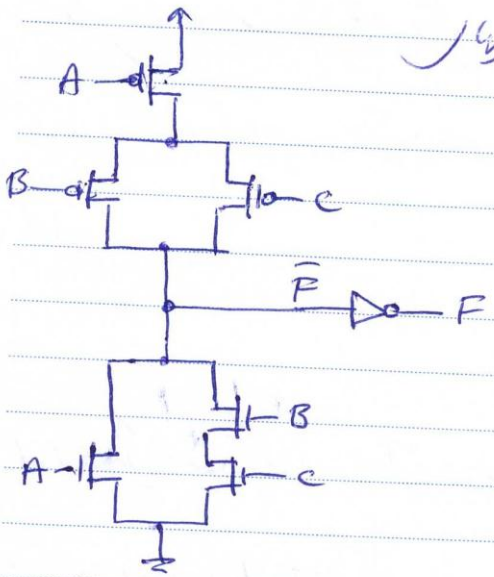
می باید دوبار آنرا not کنیم و تصویرت فوق در آوریم. و سپس ترانزیستورها را شبیه حالتهای قبل در نظر بگیریم.

ولی لازم است همه ورودیها را جداگانه not کنیم و مدار را برای ورودیهای not شده از روی مدارات قبلی استفاده کنیم ←

که اگر تعداد ترانزیستورها را حساب کنیم مدار فوق دارای ۱۲ ترانزیستور دارد آیا میتوان تعداد آنها را کم کرد؟

Sunwood

$F = A + BC \rightarrow \bar{F} = \overline{A+BC} = \bar{A}.(\bar{B}+\bar{C})$



می‌توان برای ساختار فوق بجای اینکه از دو دیاگرام مثل استفاده کنیم بجای F ، $\bar{F}$ را بسازیم.

بنابراین مدار به صورت زیر خواهد بود

و در نهایت یک گیت not در خروجی

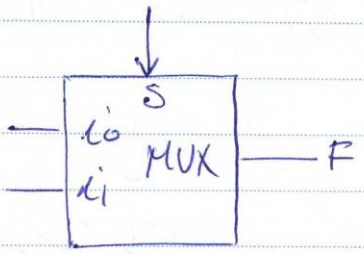
گذاریم که در این صورت تعداد ترانزیستورها به ۸ عدد کاهش می‌یابد.

نکته: هیچ چیز در طراحی مدار به تکنولوژی قطعا بستگی ندارد و برای کاهش فضای اشغال شده گاهی اوقات روند طراحی نیز مهم خواهد بود.

حتی اگر قیدهای ذکر شده باشد مبنای طراحی باید به گونه‌ای باشد که کاهش فضای اشغال شده یکی از پارامترهای مهم طراحی خواهد بود.

Pass transistor logic — منطق ترانزیستور عبور

فرض کنید می‌خواهیم یک MUX دو ورودی 2X1 بسازیم.



ابتدا آنرا به گیت مدار در سطح منطق مکمل طراحی می‌کنیم

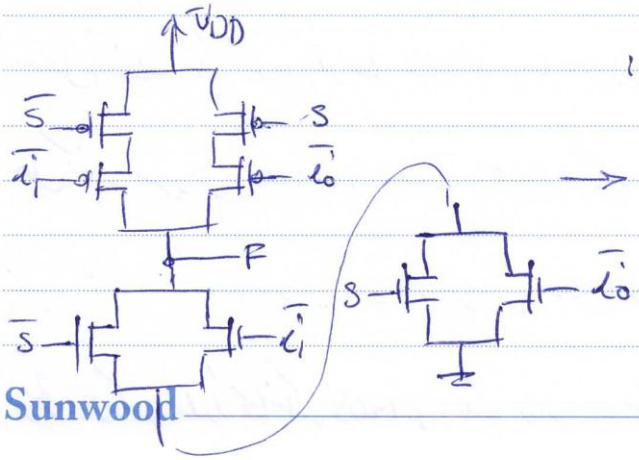
S	i_0	i_1	F	
0	0	0	0	
0	0	1	0	
0	1	0	1	
0	1	1	1	
1	0	0	0	
1	0	1	1	
1	1	0	0	
1	1	1	1	

حرف i_0 — حرف i_1

و سپس می‌بینیم اگر از ترانزیستور عبور استفاده کنیم به چه شکلی خواهد شد.

به کمک جدول کارنو — عبارت منطقی F به صورت زیر است:

$$F = \bar{S}.i_0 + S.i_1$$

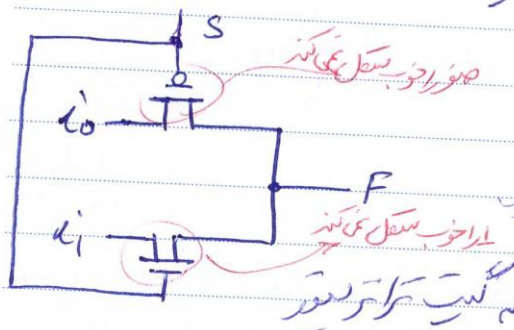


اگر بخواهیم با منطق مکمل بسازیم:

→ i_1, i_0, S باید تک‌تک not کردن

تعداد ترانزیستورها ۱۴ عدد خواهد بود.

اگر بخواهیم به کلاستر ترانزیستوری عبور استفاده کنیم



با لگ از نحوه کار ترانزیستوری عبور ←

تعداد ترانزیستوری به بزرگ کاهش پیدا کرد

در منطق ترانزیستور عبور، کنترل علاوه بر اینکه به گیت ترانزیستور متصل شده است به سورس هم وصل می‌شود. ولی در منطق مثل یک، صفر از V_{DD} و زمین تأمین می‌شد و در اینجالت از ورودی مدار (یا خروجی طبقه قبل).

اگر منطق به V_{DD} ، GND وابسته باشد، منطق Restoring logic گویند

و اگر منطق فقط به سورس مرتبط باشد منطق non Restoring logic گویند

منطق مثل دسته اول، منطق ترانزیستور عبور دسته دوم حال دارند.

• اگر بتوانیم از منفصل فضا استفاده شده بگذریم، می‌توانیم با تکنیکهای منفصل

منفصل شبکه "یک" خوب تبدیل NMOS را با مداری

حل کنیم. خروجی NMOS باعث not شد

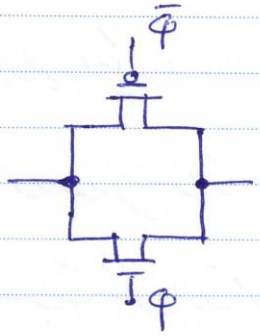
گیت not شد و خروجی آن ترانزیستور PMOS را

روشن می‌کند. از آنجایی که PMOS، یک را خوب منتقل می‌کند می‌تواند نقطه X را به یک خوب

Sunwood

تبدیل کند و در نقطه X "یک خوب" داشته باشیم. برای ترانزیستور PMOS تبریزیان به طریق بالا عمل نمود. و مشکل منتقل نشدن صفر را حل نمود.

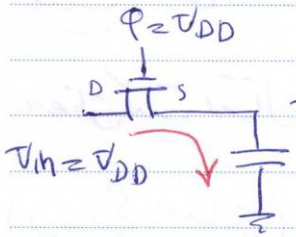
منطق گیت انتقال Transmission Gate Logic



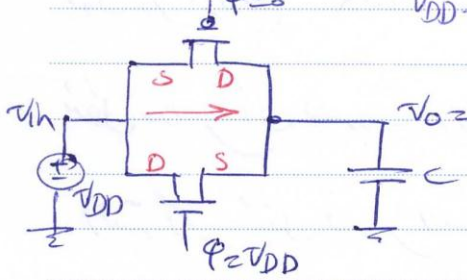
این منطق در واقع یک سوئیچ CMOS است که بصورت مدار شکل زیر می باشد:

نیاز به دو کلاک φ و φ̄ که همزمانی نداشته باشند

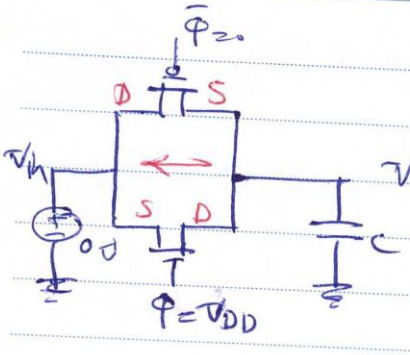
یعنی هر دو سوئیچ همزمان قطع و همزمان وصل می باشند.



حسن: مشکلی که در ترانزیستور عبور در حالت $V_{in}=V_{DD}$ بود این است که وقتی $\varphi=V_{DD}$ باشد ← ترانزیستور برای اینکه روشن بماند، خازن بار فقط تا $V_{DD}-V_T$ می تواند شارژ شود زیرا ترانزیستور برای روشن ماندن باید $V_{GS}=V_T$ داشته باشد. ولی در منطق گیت انتقال، جریان از هر دو ترانزیستور می گذرد چون هر دو روشن می شود، و مقاومت کمتر می شود (زیرا دو مقاومت موازی هستند) حتی دیگر وقتی $V_O=V_{DD}-V_T$ نمی شود



Sunwood



وقتی ورودی بازهم سیگنال بدهد NMOS خاموش می‌شود

ولی PMOS به دلیل اینکه V_{GS} کمتر از V_T است، ترانزیستور روشن باقی می‌ماند و خروجی $V_o = 0 - V_{DD}$

کوچکتر است، ترانزیستور روشن باقی می‌ماند و خروجی

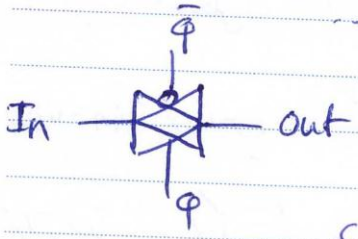
باوجود اینکه با مقاومت بیشتری خازن شارژ می‌شود به V_{DD} خواهد رسید.

اگر ورودی صفر شود و سپس روشن، خازن دوباره شارژ می‌شود، جهت جریان S,D عکس

بصورت شکل فوق می‌شود و در اینحالت وقتی خروجی به V_T برسد PMOS خاموش می‌شود ولی NMOS روشن می‌ماند

نکته: مساحت اشغال شده ۲ برابر می‌شود. و ۲ پایه کنترل شکل نیاز دارد

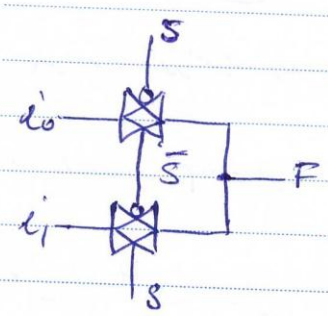
معمولاً گیت انتقال بصورت بلوک زیر نمایش داده می‌شود.



(در مدارهای منطقی)

حال اگر بخواهیم MUX قبلی را با گیت انتقال بسازیم

شکل مدار آن بصورت زیر خواهد بود:



البته اگر مشکل فضا اشغال شده وجود نداشته

باشد، زیرا تعداد ترانزیستورهای مورد نیاز به دلیل نیاز به

$\bar{S}$ در کنار S به تعداد ۶ عدد خواهد شد.

برای ساخت هر گیت دیگر بهتر است ذهنیت را با MUX منطبق کنیم. یعنی سلول

AND
$F = A.B$

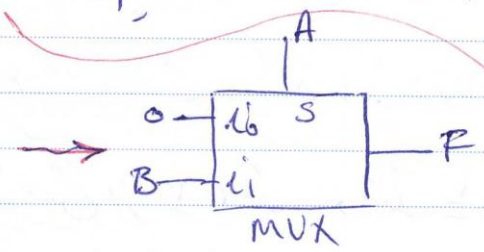
اگر بخواهیم یک گیت AND با MUX و گیت عبور

A	B	F
0	0	0
0	1	0
1	0	0
1	1	1

را تشکیل بسازیم، بصورت زیر عمل می‌کنیم

چون ورودی‌ها هم برای کنترل استفاده می‌شود و هم به عنوان ورودی، می‌توانیم A را به عنوان کنترل استفاده کنیم و B را به عنوان ورودی

A	F
0	0
1	B



حال اگر جدول را نگاه کنیم می‌بینیم F در هنگامی که A تغییر می‌کند هیچ وضعیتی ندارد.

OR
$F = A+B$

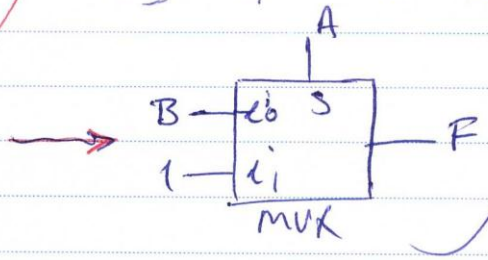
A	B	F
0	0	0
0	1	1
1	0	1
1	1	1

با سلول گیت OR را بخواهیم به کمک MUX بسازیم

می‌بینیم F در هنگام تغییر A، هیچ وضعیتی ندارد پس جدول

A	F
0	B
1	1

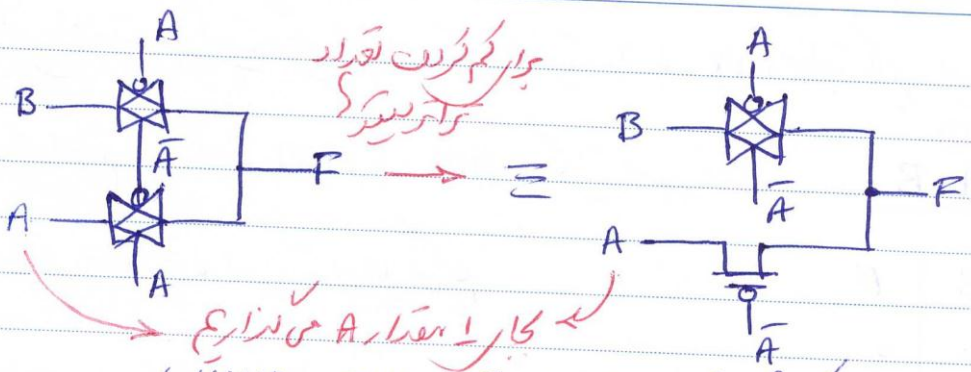
بصورت زیر درخواهد آمد و مدار آن بصورت زیر خواهد شد:



A به عنوان کنترل، B ورودی

حال اگر بخواهیم به کمک گیت انتقال مدار را بسازیم بصورت زیر خواهد بود

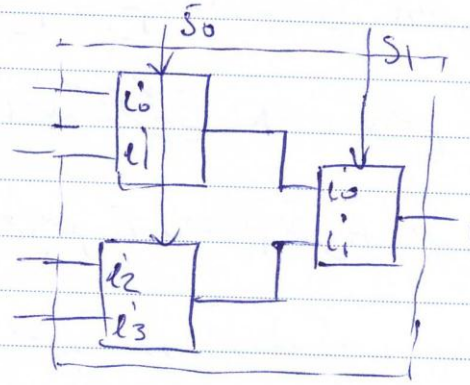
Sunwood



حسن: خود منطق و مکمل آن قابل دسترس است (NAND , AND)

- برای کم کردن تعداد ترانزیستور به علت اینکه PMOS، منطق یک را خوب منتقل می‌کند و ورودی همیشه ۱ است در شاخه پایین می‌توان به گیت مداربسته را به گیت ورودی آن وصل کرد.

اگر تعداد ورودی‌ها بیش از ۲ باشد، مثلاً ۴ باشد می‌توان از ۳ عدد MUX ۲ به ۱ استفاده نمود:



تا یک MUX 4×1 به دست آید.

به همین روش می‌توان MUX های ۱۶×۱ و ۶۴×۱ و ... را ساخت.

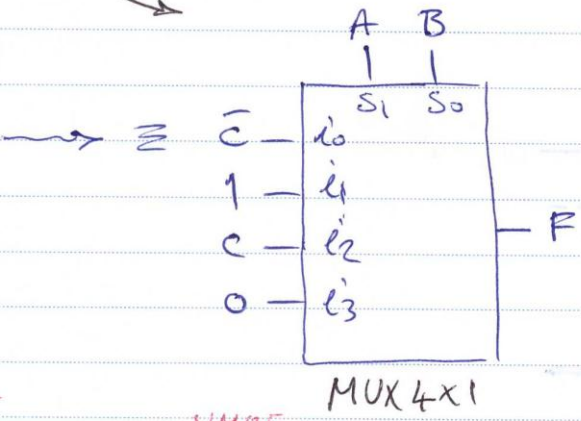
مثال: منطق زیر را با منطق کمیت انتقال پیاده سازی کنید:

$F = \bar{A}(\bar{B}+\bar{C}) + A\bar{B}C$

حل: با توجه به اینکه ترانزیستورهای عبور یک ورودی دارند و یک خط کنترل در حین مدارهایی روش کار بدین صورت است که یکی از ورودی‌ها را به عنوان ورودی و بقیه را به عنوان کنترل در نظر می‌گیرم بنابراین جدول درستی رابطه فوق را می‌توان بصورت زیر دوباره نوشت و از یک MUX4x1 استفاده کنیم:

A	B	C	F
0	0	0	1
0	0	1	0
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	0
1	1	1	0

AB	F
0 0	$\bar{C}$
0 1	1
1 0	C
1 1	0



حال متناسب با ورودی‌ها یا یک همیشه صفر هستند یا همیشه یک هستند می‌توان کمیت انتقال مربوط را تبدیل به ترانزیستورهای PMOS و NMOS نمود تا مدار ساده‌تر گردد

PMOS NMOS

منطق شبه NMOS ابتدا توضیح داده می‌شود.

فرایند طراحی مداری CMOS :

برای تبدیل محل ترانزیستورها در مدار ۲ روش وجود دارد :

۱- دیاگرام میله‌ای Stick Diagram ابعاد و اندازه ندارد

۲- طراحی layout ابعاد و اندازه در ۲ بعد وجود دارد layout

برای استفاده از هرکدام از روش‌ها باید یک سری قواعد و رنگ‌های خاص برای هر

مدار وجود دارد :

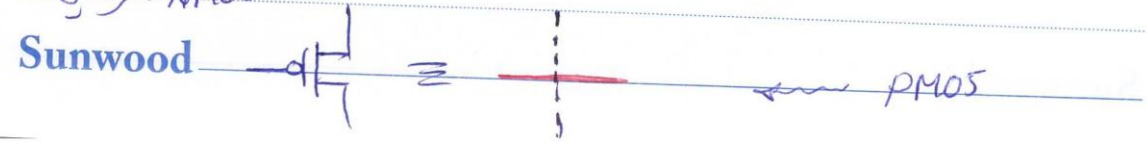
۱- دیاگرام میله‌ای :

رنگ‌بندی ها

نفوذ n
نفوذ p
کانتاکت
پلی‌سیلیکون
فلز
کنتاکت

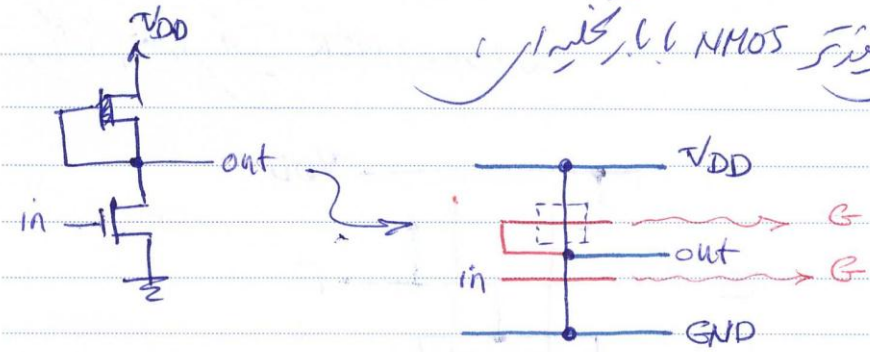
تخلیه‌ای NMOS

افزایشی NMOS



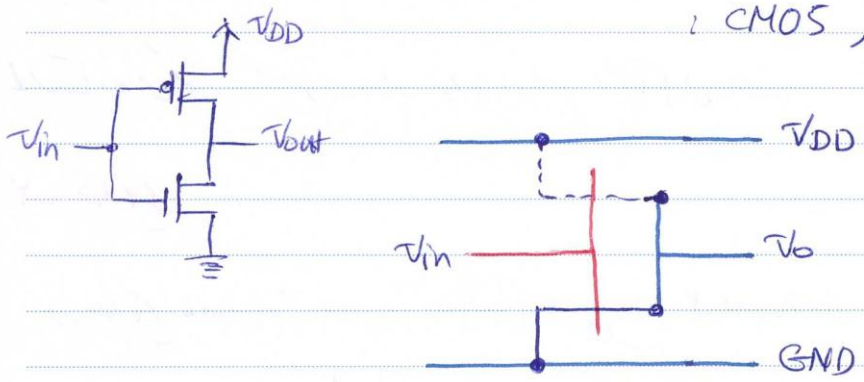
PMOS

دیاگرام میله‌ای اینورتر NMOS با بار تخلیه‌ای:

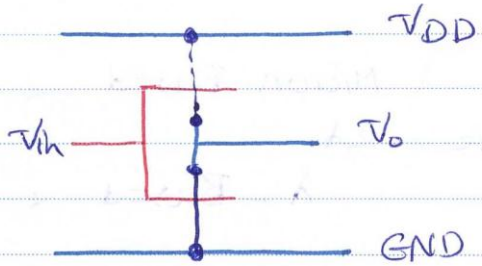


V_{DD} و زمین با فلز مشخص می‌شود حال برای اتصال دو ترانزیستور می‌توان از یک منطقه استفاده کرد (مثلاً ترانزیستور n در اینجا)

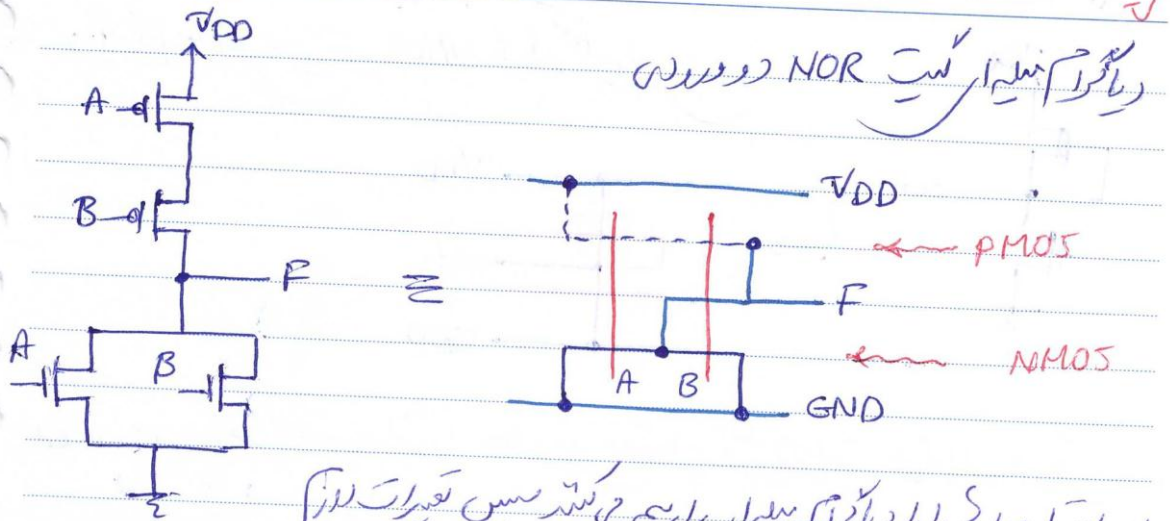
دیاگرام میله‌ای اینورتر CMOS:



در یک لایه می‌توان دو ترانزیستور با شکل زیر را به صورت



دیاگرام سیلیکن گیت NOR دوورودی



بر اساس مداری را با دیاگرام سیلیکن رارسم می‌کنند سپس تغییرات لازم

با بررسی آن می‌دهند مثلاً وقتی در ناحیه n دارند بجای اتصال توسط فلز، یک ناحیه n

استفاده می‌کنند. سپس مدار را با دقت انجام می‌دهند.

۲- جانمایی Layout

در جانمایی، مدارات بصورت دیاگرام سیلیکن در ۲ بعد ابعاد پیدا می‌کنند. برای تبدیل

به جانمایی لازم است از یک سری قواعد پیروی کنیم.

قواعد جانمایی:

صرفاً براساس میکرومتر ← Micron Based

Min_Feature = 2λ

- براساس میکرومتر ←
- براساس λ ← λ_Based

این قواعد شامل بخش‌های زیر می‌شود:

- کمترین پهنا
- کمترین فاصله
- کمترین محدوده
- کمترین پیشروی

در جاهایی نیز قواعد رنگی (یا خاکستری) برای رسم مدارات استفاده می‌شود:

n^+ نفوذ		خاکستری روشن
p^+ نفوذ		خاکستری کمرنگ
well		چاه
Metal-1		
Metal-2		
Via, کنتاکت		اتصال بین لایه‌های مختلف با فلز — سیاه رنگ
Active		جایی که ترانزیستور ساخته می‌شود
Poly		

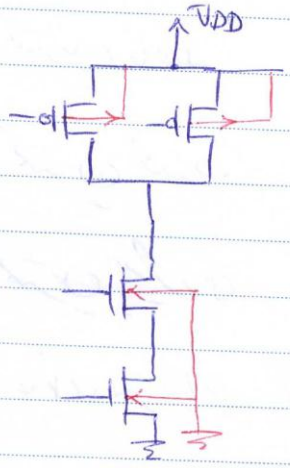
Sunwood

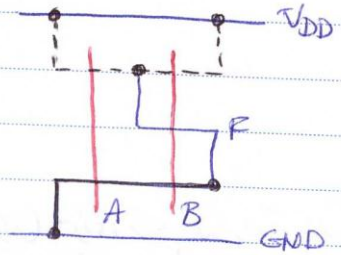
در شکل یک NAND دوورودی است.

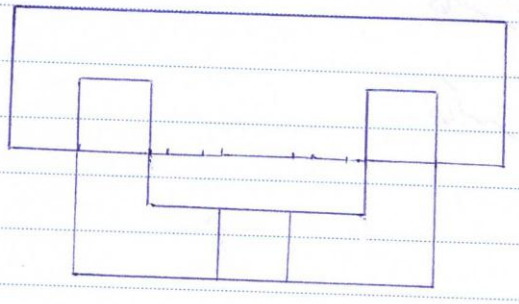
معایب و محاسن تردید حاشیه ای

مدار صفحه ۶ متعلق به یک گیت NAND دوورودی است که شکل مدار و دیاگرام

پیدا آن بصورت زیر است:





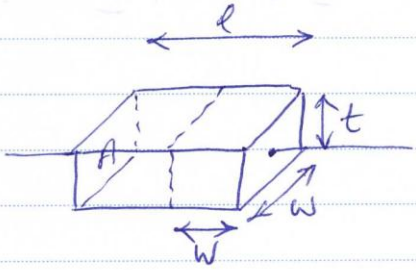


پارامتری مهم در مدارهای مجتمع دیجیتال که به وضعیت جانمایی بستگی پیدا می‌کند:

- سرعت (تأخیر)
- توان مصرفی
- فضای اشغال شده

سیم‌های طراحی شده مقاومت و خازنی ایجاد می‌کنند که بر روی سرعت (تأخیر) مدارات دیجیتال اثر می‌گذارند. همچنین فضای اشغال شده نیز در طراحی سیم‌ها مهم هستند.

مقاومت ورقه‌ای Sheet Resistance:



مقاومت یک قطعه به چه چیزهایی بستگی دارد؟

۱- جنس قطعه ← مقاومت مخصوص

۲- طول و سطح مقطع

$$R = \rho \frac{l}{A} = \rho \frac{l}{w \times t}$$

(ρ: مقاومت مخصوص)

ضخامت توسط تکنولوژی مشخص می‌شود.

اگر مقداری از قطعه را جدا کنیم به گونه‌ای که طول و عرض آن با هم برابر باشد یعنی $l=W$ در اینصورت مقاومت بدست آمده را مقاومت ورقه‌ای می‌نامند که مقدار آن فقط به جنس و ضخامت بستگی پیدا می‌کند.

$$l=W \Rightarrow R_S = \frac{\rho}{t} \quad (\Omega/\square)$$

مقاومت مخصوص به جنس بستگی دارد

ضخامت که توسط تکنولوژی مشخص می‌شود

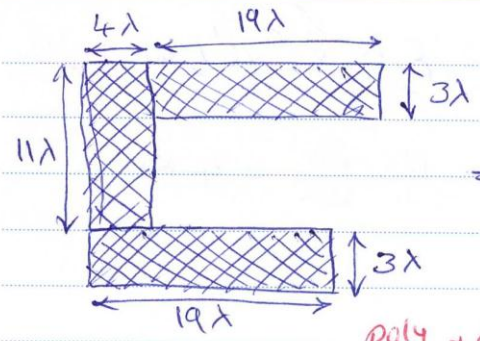
(Ω/□) چون تصور از بالا دیده شده است.

مثال: برای تکنولوژی $2\lambda = 1\mu m$ مقادیر مقاومت ورقه‌ای لایه‌های مختلف از جدول زیر بدست می‌آید:

لایه	Ω/□
Metal 1,2	0.05
n-type Diff	2
p-type Diff	2
poly silicon	4
NMOS channel	6k
PMOS channel	15k

بنابراین اگر اندازه لایه مورد نظر را داشته باشیم می‌توانیم تعداد □ های آن را بشماریم و مطابق شکل جدول فوق مقدار مقاومت لایه را بدست آوریم.

مثال: یک poly با تکنولوژی ۱μm داریم

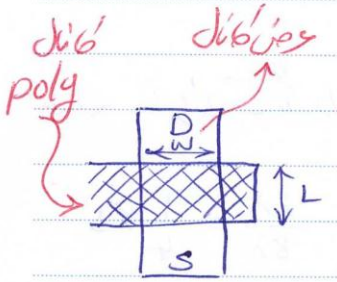


$$\Rightarrow R = R_S\left(\frac{19\lambda}{3\lambda} + \frac{11\lambda}{4\lambda} + \frac{19\lambda}{3\lambda}\right) = 91.67\,\Omega$$

$4\frac{\Omega}{\square}$ مقدار مقاومت یک □ مربوط به poly در تکنولوژی ۱μm

تعداد □ های هر قسمت

محاسبه مقاومت کانال ترانزیستور:



در رابطه جریان ترانزیستور (شکل در اشباع) داریم:

$$I_D = \frac{K'}{2}\cdot\frac{W}{L}(V_{GS}-V_T)^2$$

$\frac{W}{L}$ با جریان متناسب است. هرچه $\frac{W}{L}$ بزرگتر باشد، هدایت بیشتر است

بنابراین مقاومت با $\frac{L}{W}$ متناسب خواهد بود. بنابراین:

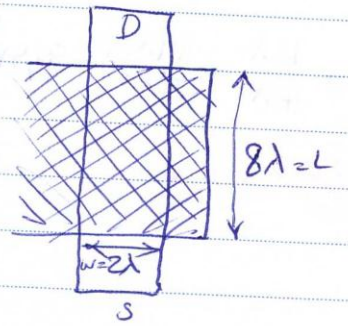
$$\boxed{R = R_S\cdot\frac{L}{W}}$$

مثال: $W=2\lambda$ ، $L=2\lambda$. بنابراین:

$R = R_S$ ⟶ NMOS: $R = 6K$
⟶ PMOS: $R = 15K$

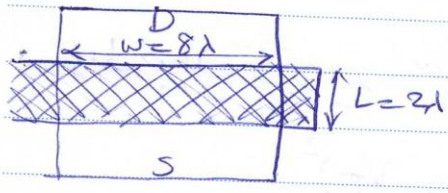
بنابراین تفاوت ترانزیستورهای با یک رهن مشخص خواهد شد.

مثال: W را ثابت نگه داریم، L را افزایش دهیم: $L = 8\lambda$, $W = 2\lambda$



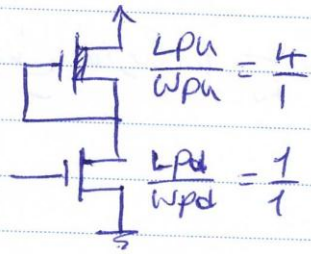
$$\Rightarrow R = R_S \frac{L}{W} = R_S \frac{8\lambda}{2\lambda} = 4R_S$$

مثال: L را ثابت نگه داریم، W را افزایش دهیم: $L = 2\lambda$, $W = 8\lambda$



$$\Rightarrow R = R_S \frac{L}{W} = R_S \cdot \frac{2\lambda}{8\lambda} = \frac{1}{4} R_S$$

مثال: مقاومت ترانزیستورهای مدار زیر را بدست آورید:

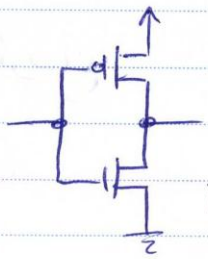


$\rightsquigarrow$ Min فیچر $\rightarrow$ $\frac{L_{pu}}{W_{pu}} = \frac{8\lambda}{2\lambda}$, $\frac{L_{pd}}{W_{pd}} = \frac{2\lambda}{2\lambda}$

$$\Rightarrow R_{pu} = 4R_S = 24\,k\Omega$$

$$\Rightarrow R_{pd} = \frac{2\lambda}{2\lambda} \cdot R_S = 6\,k\Omega$$

مثال: مقاومت تراتریستوری یک اینورتر CMOS را بدست آورید (ابعاد بر حسب λ)



$$\frac{L_{P.U.}}{W_{P.U.}} = \frac{2\lambda}{2\lambda} \Rightarrow Z_{P.U.} = R_S \frac{L}{W} = 15\,k\Omega$$

$$\frac{L_{P.d.}}{W_{P.d}} = \frac{2\lambda}{2\lambda} \Rightarrow Z_{P.d} = R_S \frac{L}{W} = 6\,k\Omega$$

مشاهده می‌شود که با ابعاد یکسان کانال مقاومت تراتریستور PMOS (P.U.) حدوداً 2.5 برابر مقاومت تراتریستور NMOS (P.d.) می‌باشد.

قبلاً در این موضوع عنوان شد که چون mobility الکترون‌ها 2.5 برابر مقدار mobility حفره‌ای است. مقاومت NMOS حدود 2.5 برابر کمتر از PMOS می‌باشد.

نکته: اگر مقاومت‌های تراتریستوری P.U. و P.d یکسان نباشد، شارژ و دشارژ خازن‌ها به صورت دیفرانسیل با مقاومت یکسان انجام می‌شود. یعنی زمان‌های سوئیچینگ متقارن خواهد بود. برای اینکه این زمان‌ها یکسان شود، کافی است که تراتریستور P.U را حدود 2.5 برابر تراتریستور P.d در نظر بگیریم تا مقاومت با نسبت 2.5 کاهش پیدا کند و تقارن در سوئیچینگ زمانی اتفاق بیفتد.

Sunwood

۷

در این صورت می‌گوییم ترانزیستور در ناحیه Match یا تطبیق یافته است.

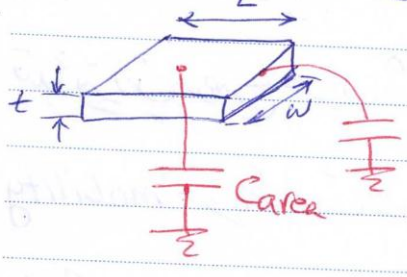
نحوه ساخت:

23.0

محاسبه خازن به صورت عددی با استفاده از تکنولوژی:

خازن از دو صفحه که یک عایق میان آن‌ها باشد، تشکیل می‌شود.

فرض بر این است که صفحه زیرین زیرتنا باشد و صفحه بالایی هر لایه‌ای نسبت به زیرتنا که با عایق جدا شده باشد. و عایق SiO_2 است.



در حالت کلی خازن به چه چیزهایی بستگی دارد؟

۱- جنس لایه، ε، ضریب دی الکتریک ماده

۲- ضخامت اکسید

۳- مساحت صفحه

$$C = \varepsilon \frac{A}{d} \Rightarrow \frac{C}{A} = C_a = \frac{\varepsilon}{d}$$

خازن واحد سطح

ضخامت عایق

اگر اثر خازنی صفحه بالایی نسبت به زیرتنا را Carea بنامیم برابر است با:

$$C_{area} = C_a \times W \times L$$

نکته: لبه‌ی ضخامت صفحه بالایی تیر یک اثر خازنی ایجاد خواهند کرد که به آن خازن لبه یا C_{frige} گویند. که یک خازن واحد طول خواهد بود.

$C_{frige} = C_{\ell}(2(W+L))$ (شکل صفحه قبل)

C_{ℓ} ← خازن واحد طول

بنابراین خازن کل برابر است با:

$C_t = C_{area} + C_{frige}$

برای لایه‌های مختلف مانند پلی سیلیکون یا فلز که ضخامت لایه خیلی زیاد نیست، معمولاً خازن واحد سطح به گونه‌ای داده می‌شود که تقریباً با ضرب در مساحت، مقدار C_t بدست می‌آید. برای دو ناحیه نمی‌توان از ضخامت صرف نظر نمود:

* ناحیه نفوذ: مقدار ضخامت ناحیه نفوذ آنقدر زیاد است که نمی‌توان فقط خازن کف را محاسبه نمود و باید خازن محیط را نیز محاسبه نمائیم.

مثال: ظرفیت لایه‌های مختلف برای تکنولوژی $2\lambda = 1\mu m$ برحسب $fF/\mu m^2$

از جدول زیر بدست می‌آید:

$f = 10^{-15}$ فمتو

برای گیت در زیر پلی یک اکسید نازک قرار دارد. منظور از گیت پلی است که زیر آن اکسید نازک قرار دارد.

ظرفیت	$fF/\mu m^2$
گیت PMOS/NMOS	1
area ناحیه نفوذ	0.8
persphery ناحیه نفوذ	0.3
polysilicon	0.1
Metal 1	0.05
Metal 2	0.02

$fF = 10^{-15}$ فمتو

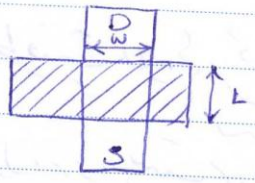
$\frac{fF}{\mu m}$ محیط → خازن واحد طول

که جدول فوق برای تکنولوژی‌های مختلف متفاوت خواهد بود.

مثال: (برش Al) مقاومت کانال، ظرفیت خازنی درین و سورس و خروجی را بدست آورید. (فرض تکنولوژی 1μm / گیت NAND دوورودی)

هر فاصل درین و سورس، طول کانال می‌باشد → درجه اثر بیشتر

جایی که درین و سورس مقابل هم قرار گرفته عرض کانال است → درجه اثر کمتر



$R_n = R_s \cdot \frac{L}{W} = 6k \cdot \frac{2\lambda}{4\lambda} = 3k\Omega$ ← NMOS

$R_p = R_s \cdot \frac{L}{W} = 15k \cdot \frac{2\lambda}{4\lambda} = 7.5k\Omega$ ← PMOS

مقاومت ورقه‌ای R_s

ورودی‌ها روی poly هستند که فقط در دو ناحیه روی اکسید نازک قرار گرفته است که گیت ترانزیستور را شامل می‌شود. ولی بقیه آن روی اکسید نازک نیست. بنابراین خازن ورودی شامل دو بخش است: خازن گیت و خازن poly (که وقتی poly روی اکسید نازک قرار می‌گیرد، خازن گیت می‌شود)

$C_{in} = C_{gate} + C_{poly}$

که هر ورودی به دو عدد گیت متصل است پس:

$C_{gate} = 2 \times C_u \times L \times W = 2 \times 1 \frac{fF}{\mu m^2} \times 2\lambda \times 4\lambda$

چون تکنولوژی 1μm است یعنی $2\lambda = 1\mu m$ پس $\lambda = 0.5\mu m$ پس خازن گیت

$\Rightarrow C_{gate} = \ldots = 4fF$ برابر است با:

خازن poly یعنی مابقی poly باقیمانده که با عرض 2λ و طول $40 - (2\times4)$

$C_{poly} = 0.1 \frac{fF}{\mu m^2} \times 2\lambda \times (40\lambda - 2\times4\lambda) = \ldots = 1.6fF$

(C_u: $0.1 \frac{fF}{\mu m^2}$ — W: 2λ — L: 32λ)

Sunwood

بنابراین خازن هرکدام از ورودی‌ها

$C_{in} = 4fF + 1.6fF = 5.6fF$

خازن خروجی، یعنی خازن ناحیه F که یک لایه فلزی است که از یک طرف با یک کنتاکت به ناحیه نفوذ p، از طرف دیگر با یک کنتاکت به ناحیه نفوذ n متصل شده است. بنابراین خازن این ناحیه، از ۳ خازن تشکیل شده است: ۱- خازن ناحیه نفوذ n، ۲- خازن ناحیه نفوذ p، ۳- خازن Metal

$\rightarrow C_{out} = C_F = C_{p,diff} + C_{n,diff} + C_{Metal}$

در محاسبه خازن ناحیه نفوذ، باید کمی دقت کنیم زیرا باید دو نوع خازن محاسبه شود

۱- خازن مساحت ۲- خازن محیط

برای محاسبه خازن مساحت باید دقت کنیم که کل ناحیه نفوذ را باید در نظر بگیریم و نه فقط مساحت زیر فلز یعنی $4\lambda \times (4\lambda + 1\lambda + 1\lambda)$ = مساحت ناحیه نفوذ (4λ: عرض، 6λ: طول)

$C_{p,diff} = C_a \times W \times L + C_a \times$ محیط

$= 0.8\,fF/\mu m^2 \times 4\lambda \times 6\lambda + 0.3\,fF/\mu m\,(2(4\lambda+6\lambda)) = 7.8fF$

(مساحت ناحیه نفوذ، محیط)

$C_{n,diff} = C_u \times W \times L + C_u \times$ محیط

$= 0.8 \frac{fF}{\mu m^2} \times 4\lambda \times 5\lambda + 0.3 \frac{fF}{\mu m} (2(4\lambda + 5\lambda)) = 6.9 fF$

برای محاسبه خازن Metal کافی است مساحت پاقیمانده فلز خروجی را بدست آورده در خازن واحد سطح ضرب گردد:

$C_{Metal} = C_u \times W \times L = 0.05 \frac{fF}{\mu m^2} (4\lambda \times 4\lambda + 12\lambda \times 3\lambda + 3\lambda \times 4\lambda)$

$= \dots = 0.8 fF.$

بنابراین خازن خروجی برابر است با:

$C_{out} = C_L = C_{p,diff} + C_{n,diff} + C_{Metal} = \dots = 15.57 fF$

که این مقادیر را برای محاسبات زمانی می‌توان استفاده کرد.

نکته: روش استفاده شده در مثال فوق یک روش تقریبی است و از میزان خازنها یک تخمین زده می‌شود زیرا ظرفیت خازنها حساب شده مربوط به لایه‌های مختلف به زیربناها می‌باشد درصورتیکه ممکن است برخی لایه‌ها از روی لایه‌های دیگر عبور کنند مثلاً فلز خروجی از زیر poly عبور داده شده است که این آنها را

وجود دارد که یک خازن بوجود آمده است. یعنی خازن لایه‌ای

Sunwood

نسبت به یکدیگر در این حالت در نظر گرفته نشده است.

از طرف دیگر محاسبه ظرفیت خازن‌ها از روی شکل هندسی صورت گرفته است. که منظم است درصورتیکه در عمل و واقعیت شکل (شکل) منظم نیست و ناهمواری‌هایی وجود دارد و مربع و مکعب‌ها دقیق نخواهد بود.

نتیجه: در نقشه شماتیک مداری اتصالات بین قطعات خازنی ایجاد می‌کنند ولی در layout آن مشاهده نشد که حتی اتصالات فلزی بین اجزاء مدار نیز ایجاد خازن خواهند نمود. ⇐ نتایجی که از شبیه‌سازی و مدلسازی شماتیک مدار گرفته می‌شود نتایج دقیقی نیست و باید layout شبیه‌سازی گردد.

اتصال بین دو مدار نیز هم به لحاظ مقاومت و هم به لحاظ خازن اهمیت پیدا می‌کند.

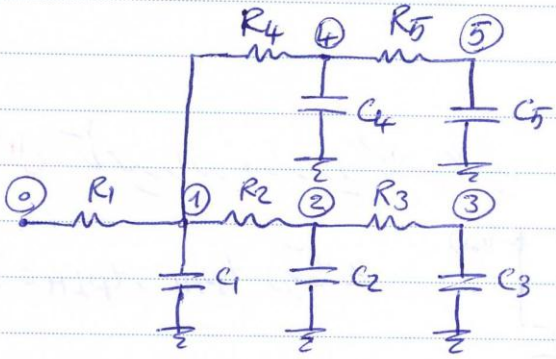
* قدم بعدی بعد از محاسبه خازن‌ها و مقاومت‌ها، محاسبه تأخیر می‌باشد.

محاسبه تأخیر:

برای محاسبه تأخیر، مدل‌های مختلفی وجود دارد که می‌تواند تأخیر را بطور نسبی و تقریبی برای مدارات مختلف محاسبه نماید.

- مدل زمانی RC یا مدل LMOR :

با محاسبهٔ مقاومت‌ها و خازن‌های مدار، می‌توان مقاومت بین گره‌ی و خازن کلی هر گره نسبت به زمین را به دست آورد. برای مثال:



با فرض اینکه ظرفیت خازنی ۴ام گره‌ی را محاسبه نموده‌ایم.

طبق مدل زمانی RC یا LMOR زمان تأخیر برای هر مسیر از رابطه‌ی زیر به دست می‌آید:

$$t_{delay} = \sum_k R_{ik} \cdot C_k$$

C_k و R_{ik} را با هم جمع می‌کنیم. k شماره گره‌ی است:

تأخیر از گره‌ی صفر تا گره‌ی ۳

$$t_{delay}{}_{0 \to 3} = R_1 C_1 + (R_1+R_2) C_2 + (R_1+R_2+R_3) C_3$$

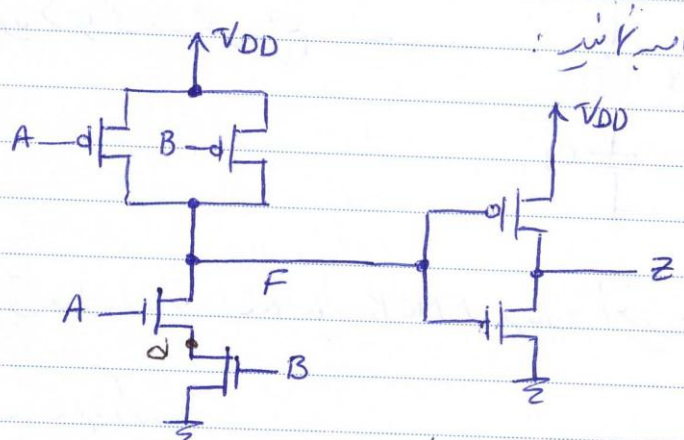
یعنی برای محاسبه هر خازن، ظاهراً بقیه خازن‌ها مدار باز هستند. فقط مقاومت‌های مسیر را در نظر می‌گیریم.

$$t_{delay_{0\to5}} = R_1C_1 + (R_1+R_4)C_4 + (R_1+R_4+R_5)C_5$$

تأخیر از گره صفر تا ۵

در مدارات دیجیتال و منطقی مقاومت کانال و ظرفیت خازنی گره ها را به ترانزیستور بست می آوریم و تأخیر را محاسبه می کنیم.

مثال: تأخیر را در مدار زیر محاسبه کنید:

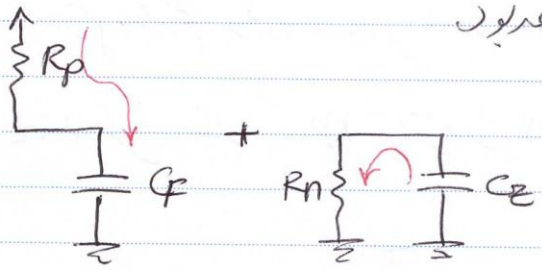


t_{PHL}, t_{PLH} در نقطه z = ?

حل:

برای محاسبه t_{PHL} در نقطه z یعنی هنگامی که خروجی z از High به low برود در اینجالت یعنی F از low به High برود. پس ابتدا تأخیر low به high نقطه F را باید حساب کنیم، سپس تأخیر high به low نقطه z که مجموع دو تأخیر خواهد بود. در قسمت اول مدار، بدترین حالت را که در آن فقط یک ترانزیستور PMOS روشن است را در نظر می گیریم. که مقاومت Rp دارد و از طریق آن خازن نقطه F (که در سوال قبل محاسبه شد) شارژ می شود.

در قسمت دوم مدار وقتی ورودی آن high می‌شود ترانزیستور NMOS روشن می‌شود بنابراین یک مقاومت Rn داریم که خازن Cz از طریق آن دشارژ می‌شود، یعنی مسیر RC به صورت زیر خواهد بود



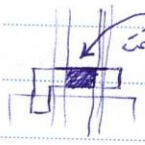
$$\Rightarrow t_{pHL(2)} = R_p . C_f + R_n . C_z$$

که روش محاسبه مقاومت و خازن در قسمت قبل توضیح داده شده است که با داشتن layout می‌توان مقادیر R, C را به دست آورده و سپس تأخیر مورد نظر را محاسبه نمائیم.

برای محاسبه t_{pLH} در قسمت اول مدار باید ترانزیستورهای پایینی روشن باشند. تا خازن Cf از طریق هردو دشارژ شود. و خروجی F به 0 میرود یعنی دو مقاومت Rn که با هم سری شده‌اند که خازن Cf از طریق آنها دشارژ شود. خازن Cf از مجموع خازنهای ناحیه تخلیه + خازن Metal به دست آمد. در

Sunwood تعداد ۱۵ تا ترانزیستور وجود دارد حتی اگر

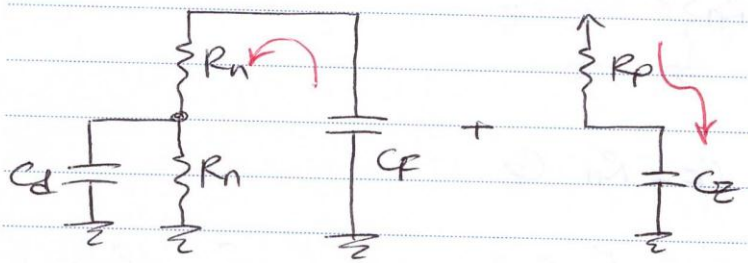
Metal هم وجود ندارد که با بدنه یک خازن هم در نقطه d وجود دارد که



C_d نامیده می‌شود. و برای خازن ناشی نفوذ ترانزیستور‌ها می‌باشد.

برای قسمت دوم مدار هم وقتی ورودی ۱۰۱ می‌شود ترانزیستور بالایی روشن است و

خازن C_2 از طریق مقاومت R_p ترانزیستور PMOS شارژ می‌شود:



$$\Rightarrow t_{PLH}(Z) = R_n C_d + 2R_n C_f + R_p C_2$$

در منطق مکل دیده شد که منطق فقط به نحوه اتصال ترانزیستور‌ها بستگی دارد و به

اندازه آنها بستگی ندارد یعنی Ratio less است. ولی در اینجا دیده شد که زمانهای

تأخیر به ابعاد و اندازه بستگی دارد.

برای اینکه در یک مدار منطقی ابعاد را بطور نسبی تعیین کنیم، می‌توانیم برای هر

دو شکل P_d, P_u یک جریان یکسانی در نظر گیریم که مشابه یک اینورتر

باشند که موجب شود t_{PLH}, t_{PHL} متقارن گردد.

بنابراین نکات مختلفی برای طراحی خواهیم داشت: اینکه نقطه آستانه منطقی در کجا قرار گیرد؟ (وسط صفر و V_{DD} باشد؟) و جریان راه انداز مدار چه مقدار باشد همه اهمیت دارند.

در مدار اینورتر برای اینکه مقاومت‌ها یکسان باشد تا زمانهای سوئیچینگ متقارن باشد، دیدیم که اگر $(\frac{L}{W})_{Pd}=\frac{2\lambda}{4\lambda}$ باشد، بایستی $(\frac{L}{W})_{P.u}=\frac{2\lambda}{10\lambda}$ یعنی ۲٫۵ برابر مقدار P.d. که مقاومت R_n و R_p با هم برابر گردند.

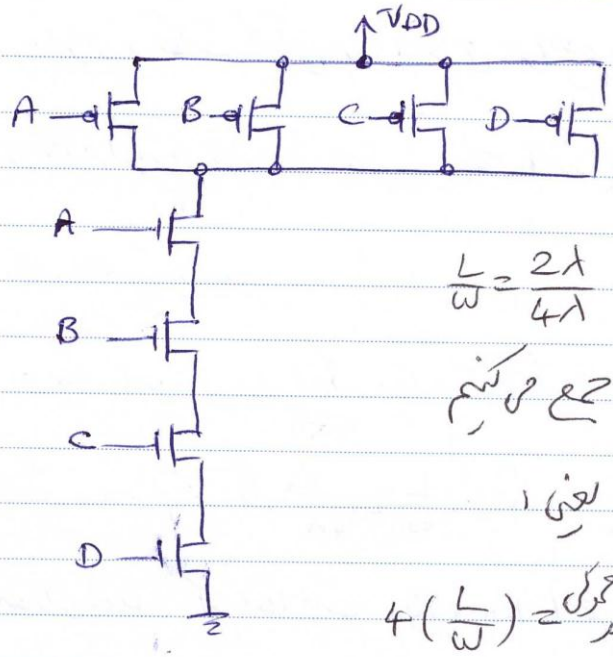
بنابراین مبنای مدار برای جریان راه انداز، مدار اینورتر در نظر می‌گیریم و هر مداری را که می‌خواهیم طراحی کنیم به گونه‌ای در نظر می‌گیریم که جریان راه اندازه آن معادل یک اینورتر با این ابعاد که تراز سیگنال ورودی و خروجی تطبیق یافته هم باشد قرار گیرد.

مثال: یک گیت NAND چهار ورودی را به گونه‌ای اندازه گذاری کنید که جریان راه انداز گیت معادل یک اینورتر با همین ابعاد باشد.

یعنی مثلاً $(\frac{L}{W})_{P.u}=\frac{2\lambda}{10\lambda}$ ، $(\frac{L}{W})_{Pd}=\frac{2\lambda}{4\lambda}$

در گیت NAND وقتی می‌خواهیم خازن خروجی را شارژ کرد باید تا کارایی ترانزیستورهای مشکه P.d روشن باشد. بنابراین کل مقاومت این مسیر باید

Sunwood



با مقاومت یک ترانزیستور با ابعاد $\frac{L}{W}=\frac{2\lambda}{4\lambda}$ برابر باشد. وقتی مقاومتها را با هم جمع می‌کنیم یعنی $\frac{L}{W}$ ها را باید با هم جمع کنیم یعنی:

$4\left(\frac{L}{W}\right)=$ مقاومت معادل $\frac{L}{W}$ یک ترانزیستور $=\frac{2\lambda}{4\lambda}$

$\rightarrow \frac{L}{W}=\frac{2\lambda}{16\lambda}$ $\rightarrow$ ابعاد هریک از ترانزیستورهای P.d

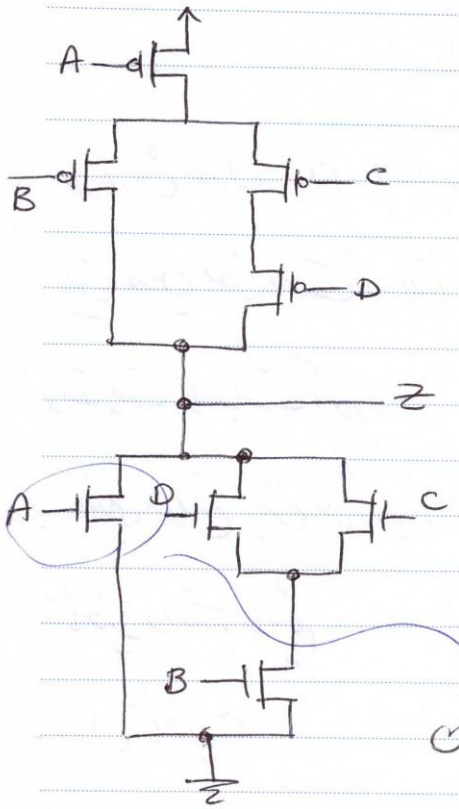
در شبکه P.U چهار ترانزیستور داریم که می‌خواهیم مقاومت آنها با مقاومت یک ترانزیستور P.U معادل اسوزتر برابر باشد یعنی $\frac{2\lambda}{10\lambda}$. در اینجالت بدترین حالت را در نظر می‌گیریم که در آن فقط یک ترانزیستور روشن باشد که در آن بیشترین مقاومت هم در آن زمان اتفاق می‌افتد. پس ابعاد هرکدام از ترانزیستورهای P.U باید برابر $\frac{2\lambda}{10\lambda}$ باشد.

بدیهی است برای راههای دیگر که باعث روشن شدن تعداد بیشتری ترانزیستور P.U گردد. باعث کاهش مقاومت شده و زمانهای تأخیر بهتر از این حالت خواهد بود.

Sunwood

مثال: مداری را برای منطق زیر بسازید و ترانزیستورهای آن را به گونه‌ای اندازه‌گذاری کنید که جریان راه اندازآن معادل جریان راه اندازگیت تک استوتر با ابعاد فوق باشد:

$$Z = \overline{A + B(C+D)}$$



برای شبکه P.d بدترین حالت برای روشن شدن ترانزیستورهای زمانی است که یا C, B روشن باشند و یا D, B. بنابراین بدترین حالت، حالتی است که در آن مقاومت دو ترانزیستور C,B با یک ترانزیستور Pd برابر باشد:

$$2\left(\frac{L}{W}\right)_{\substack{B,C \\ B,D}} = \frac{2\lambda}{4\lambda} \rightarrow \boxed{\left(\frac{L}{W}\right)_{B,CD} = \frac{2\lambda}{8\lambda}}$$

چون این مسیر با مسیری که فقط ترانزیستور A روشن باشد، برابر است (از لحاظ مقاومتی و جریانی):

$$\rightarrow \boxed{\left(\frac{L}{W}\right)_{A} = \frac{2\lambda}{4\lambda}}$$

برای high شدن خروجی بدترین حالت زمانی است که از مسیر ترانزیستورهای D, C, A در شبکه P.U جریان خروجی تأمین گردد

Sunwood $\rightarrow 3\left(\frac{L}{W}\right)_{A,CD} = \frac{2\lambda}{10\lambda} \rightarrow \boxed{\left(\frac{L}{W}\right)_{A,CD} = \frac{2\lambda}{30\lambda}}$

اگر از سه ترانزیستور A, B, C نیز خازن خروجی شمارش گردد، نباید تغییری در خروجی ایجاد گردد بنابراین مقدار $\frac{L}{W}$ ترانزیستور B با $\frac{L}{W}$ دو ترانزیستور C, D باید یکسان باشد یعنی

$$\left(\frac{L}{W}\right)_B = 2\left(\frac{L}{W}\right)_{C,D} = 2 \times \frac{2\lambda}{30\lambda} = \frac{2\lambda}{15\lambda}$$

در روش مدل RC اندازه مقاومت‌ها و خازن‌ها از روی layout بدست می‌آید این بدین معنی است که حتماً باید جایی را انجام شده باشد تا بتوان اندازه خازن و مقاومت را بدست آورد.

خیلی مواقع پیش می‌آید که لازم است قبل از ترسیم layout، تخمینی از مقدار تأخیر داشته باشیم.

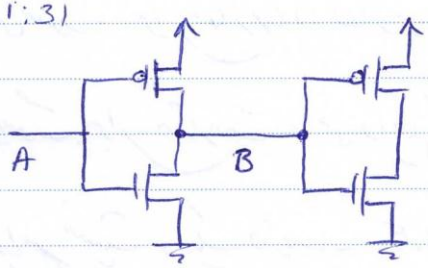
- مدل تأخیر؟:

این مدل برای حالتی که layout هنوز رسم نشده است و جایی صورت نگرفته است مناسب می‌باشد. (یعنی بدون در نظر گرفتن جایی)

برای این حالت مقاومت را مقاومت کانال ترانزیستور در نظر می‌گیریم که به جایی layout بستگی ندارد و با داشتن آن قابل محاسبه است.

Sunwood

برای محاسبه خازن، می دانیم که خروجی مدار منطقی مورد نظر به یک گیت مدار منطقی دیگر متصل شده است و از آنجائیکه خازن گیت طبقه بعد آنقدر بزرگ است که خازن ناحیه نفوذ، Metal در مقابل آن قابل صرف نظر کردن می باشد. پس بنابراین مقاومت، برابر مقاومت کانال، برای خازن، خازن گیت طبقه بعد در نظر می گیریم.



می خواهیم تأخیر انتشار را از نقطه A تا B محاسبه نمائیم. مدار اینورتر قدم قدم تغییر بار را بازی می کند. فرض می کنیم اندازه تا کنترانزیستور ها برابر باهم و برابر $\frac{2\lambda}{4\lambda}$ باشد و تطبیق یافته نباشد. می خواهیم تأخیر انتشار را حساب کنیم. $t_p = ?$

$$\rightarrow t_p = \frac{t_{PHL} + t_{PLH}}{2}$$

برای محاسبه t_{PHL} از A به B وقتی از High به Low می رود باید ترانزیستور PMOS خاموش باشد، ترانزیستور NMOS روشن باشد. پس مقاومت، مقاومت ترانزیستور NMOS، و خازن نیز شامل خازن گیت NMOS مدار دوم، و خازن گیت PMOS مدار دوم خواهد بود.

از طرفی خازن گیت برای ترانزیستورهایی که اندازه یکسان دارند چه NMOS باشند، چه PMOS برابر است. پس

$$t_{PHL} = Rn \times 2Cg = 2Rn.Cg$$
$$A \rightarrow B$$

برای t_{PLH}، ترانزیستور PMOS روشن است و ترانزیستور NMOS خاموش می‌شود. برای خازن‌هایی که تفاوتی ندارد. در این حالت نیز ۲ خازن Cg خواهیم داشت. برای مقاومت، می‌دانیم که مقاومت ترانزیستور PMOS و NMOS هم برابر نیست و یک ضریب 2.5 تفاوت دارند. پس

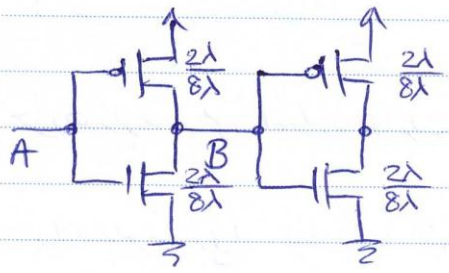
$$t_{PLH} = Rp \times 2Cg = 2.5Rn \times 2Cg = 5.Rn.Cg$$
$$A \rightarrow B$$

طبق تعریف داریم:

$$\rightarrow t_p = \dots = 3.5\,Rn.Cg$$

حال اگر ابعاد ترانزیستور را تغییر دهیم (زیاد کنیم)، نسبه منظور از ابعاد، زیاد کردن L است و معمولاً L را ثابت در نظر می‌گیریم.

اگر L ترانزیستور S را با یک نسبت افزایش دهیم، یعنی $\frac{L}{W} = \frac{2\lambda}{8\lambda}$ در نظر بگیریم و خروجی را نیز به گیت اینورتر بعدی متصل نماییم.



حال اگر بخواهیم مقاومت ترانزیستوری این مدار را حساب کنیم، می دانیم که با افزایش W ترانزیستور به ۲ برابر، مقدار مقاومت ترانزیستور نصف خواهد شد. (نسبت به حالتی که $\frac{L}{W}=\frac{2\lambda}{4\lambda}$ بود) در مورد خازن چون مساحت دو برابر می شود خازن نیز دو برابر خواهد شد بنابراین،

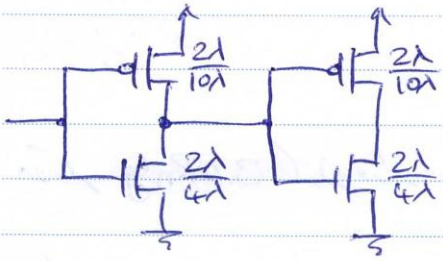
$$t_{PHL}=\frac{R_n}{2}\times 2(2C_g)=2R_n.C_g$$

$$t_{PLH}=\frac{R_p}{2}\times 2(2C_g)=2.5R_n.C_g$$

$$\Rightarrow t_p=3.5R_nC_g$$

حال فرض می کنیم ترانزیستوری مدار تطبیق یافته باشد:

یعنی ابعاد ترانزیستوری بصورت زیر باشد:



در مورد خازن ترانزیستور NMOS مدار دوم برابر C_g خواهد بود ولی اندازه خازن ترانزیستور pMOS طبقه نهم برابر $2.5C_g$ خواهد بود زیرا W آن 2.5 برابر W ترانزیستور NMOS می باشد بنابراین

$$t_{PHL} = R_n(C_g + 2.5C_g) = 3.5R_nC_g$$

برای حالت t_{PLH} داریم:

$$t_{PLH} = R_p(C_g + 2.5C_g)$$

خازن ها تفاوتی با حالت قبل ندارد و چون ترانزیستور تطبیق یافته می باشد مقدار R_p با R_n برابر است. پس بنابراین:

$$t_{PLH} = R_n \times (C_g + 2.5C_g) = 3.5R_nC_g$$

و در نهایت مقدار t_p

$$t_p = 3.5R_nC_g$$

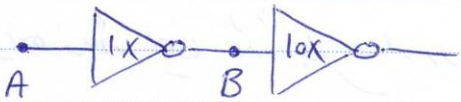
واحد تاخیر τ:

مقدار $3.5R_nC_g$ که در مدار مبنای فوق بدست آمده به ما واحد تاخیر τ نام گذاری می شود. و این مدل تاخیر را مدل تاخیر τ می نامیم

Sunwood

اگر طول ترانزیستورها را حداقل در نظر گیریم. و از خازنهای پیچ بندی و ناصحیح فقط صرف نظر کنیم. یک اینورتری که اینورتر مشابه را راه اندازی کند، تاخیری به ابعاد ترانزیستور بستگی ندارد.

حال اگر اندازه اینورتر راه انداز را سینم ابعاد در نظر گیریم و اینورتر بار را اندازه اش (یعنی مقدار W) را ده برابر در نظر گیریم:



راه انداز Min اینورتر بار

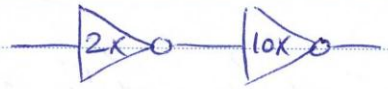
بنابراین مقدار t_p برابر است با:

$$t_p = 10\tau \quad , \quad \tau = 3.5\, R_n C_g$$
$$A \to B$$

علت:

زیرا در مدار راه انداز به علت سینی مدم بودن ابعاد، مقدار مقاومت کانال ترانزیستورها تغییری پیدا نمی کند. ولی وقتی W ترانزیستور بار را ۱۰ برابر کنیم یعنی خازنهای بار ۱۰ برابر بزرگتر شده اند.

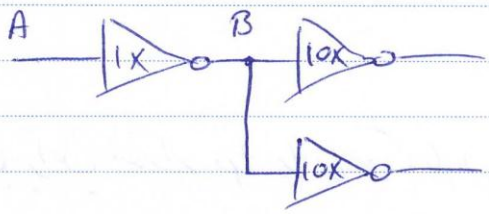
حال اگر مقدار اینورتر راه انداز را نیز تغییر دهیم. یعنی مثلاً دانسته باشیم،



$\rightarrow t_{p_{A\to B}} = 5\tau$

زیرا به علت دو برابر شدن ابعاد اینورتر راه اندازی، مقاومت تراتزیستور نصف می‌شود.

برای اینورترهای موازی نیز چون خازن گیت‌ها باهم موازی می‌شوند، باهم جمع خواهند شد یعنی مثلاً برای مدار زیر داریم:



$\rightarrow t_{p_{A\to B}} = 20\tau$

مثال: برای حالت زیر:

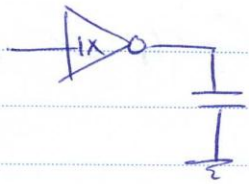
$t_{p_{A\to B}} = 10\tau$

$t_{p_{B\to C}} = 1\tau$

$\rightarrow t_{p_{A\to C}} = t_{p_{A\to B}} + t_{p_{B\to C}} = 10\tau + 1\tau = 11\tau$

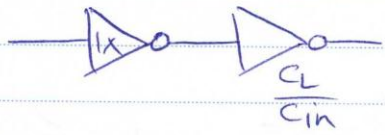
حال اگر اینورتر یک خازن بزرگ را راه اندازی کند که اندازه خازن C_L نسبت به خازن ورودی C_{in} برابر 100 باشد، مقدار تأخیر انتشار برابر است

Sunwood



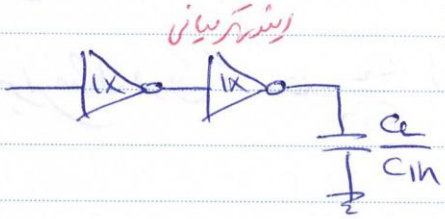
$\Rightarrow t_p = 100\tau$

حال می‌توانیم خازن را با یک اینورتر شبیه‌سازی کنیم:

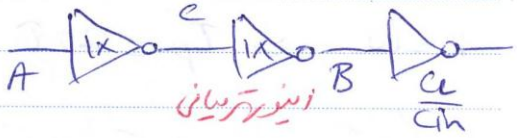


حال اگر یک اینورتر بین اینورتر و بار قرار دهیم

مقدار تاخیر چه مقدار خواهد شد؛



$\equiv$



$\Rightarrow t_p = 1\tau + 100\tau = 101\tau$

حال اگر اینورتر میانی را ۱۰۰ برابر بزرگ در نظر بگیریم مقدار t_p از A به B چه مقدار خواهد بود؟

$$t'_{p_{A\to B}} = 101\tau$$

حال اگر بیاییم یک اینورتر میانی به گونه‌ای قرار دهیم که ابعاد آن k برابر باشد و k را به گونه‌ای انتخاب کنیم که تاخیر کم گردد؟

$$t_{p_{A\to B}} = \underbrace{k}_{t_{p_{A\to C}}} + \underbrace{\left(\frac{1}{k}\cdot\frac{C_L}{C_{in}}\right)}_{t_{p_{C\to B}}} \cdot \tau$$

حال مشق t_p نسبت به k را برابر صفر قرار می‌دهیم:

$$\frac{\partial t_p}{\partial k} = 0 \Rightarrow \left(1 - \frac{C_L/C_{in}}{k^2}\right)\tau = 0$$

$$\Rightarrow 1 - \frac{C_L/C_{in}}{k^2} = 0 \Rightarrow \frac{1}{k^2}\cdot\frac{C_L}{C_{in}} = 1 \Rightarrow k^2 = \frac{C_L}{C_{in}}$$

$$\Rightarrow \boxed{k = \sqrt{\frac{C_L}{C_{in}}}}$$

یعنی اگر k را برابر مقدار فوق بگیریم، تأخیر مینیمم خواهد شد.

برای مثال فوق که $\frac{C_L}{C_{in}} = 100$ اگر k را برابر ۱۰ بگیریم:

$$k = 10 \Rightarrow t_p = 20\tau$$

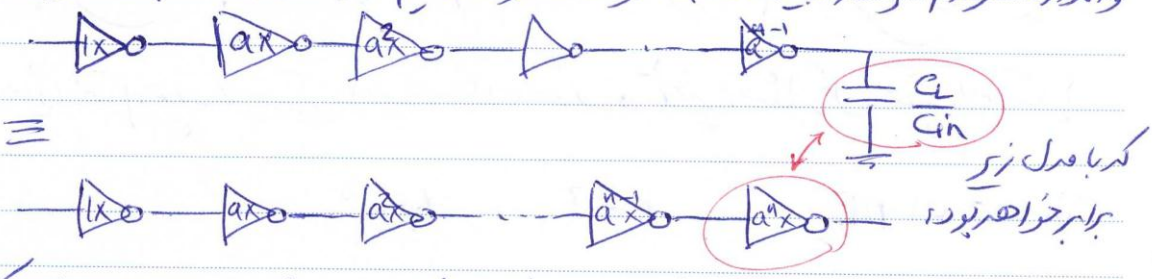
مشاهده می‌شود در حالتی که بدون بافر اینورتر را به خازن متصل کردیم مقدار $t_p = 100\tau$ شد در صورتیکه با قرار دادن یک بافر مقدار $t_p = 20\tau$ گردید.

سؤال: آیا افزایش بافر باعث کم شدن مقدار t_p خواهد شد؟

۱- ابعاد چه مقدار باید باشد؟

۲- تعداد اینورترهای میانی (بافر) چه مقدار باید باشد؟

اگر با افزایش بافرها بتوانیم تأخیر را کم کنیم، حتی تعداد اینورتر باید استفاده کنیم و اندازه هر کدام چقدر باید انتخاب کردد. اگر فرض کنیم اندازه اینورتر k ام به صورت زیر باشد:



که با مدل زیر برابر خواهد بود.

زیرا می‌خواهیم آخرین اینورتر یک خازن بزرگ را که اندازه‌اش $\frac{C_L}{C_{in}}$ است راه‌اندازی کند.

$$\frac{C_L}{C_{in}} = a^n \Rightarrow \ln\frac{C_L}{C_{in}} = n\ln a \Rightarrow \boxed{n = \frac{\ln\frac{C_L}{C_{in}}}{\ln a}}$$

برای تأخیر انتشار، هر اینورتر به اندازه $a\tau$ تأخیر ایجاد می‌کند بنابراین:

$$t_p = n.a.\tau = \ln\frac{C_L}{C_{in}} \cdot \frac{a}{\ln a} \cdot \tau$$

n از رابطه بالا

برای اینکه t_p مینیمم شود باید نسبت به a در برابر صفر قرار می‌دهیم:

$$\frac{\partial t_p}{\partial a} = 0 \Rightarrow \tau \ln\frac{C_L}{C_{in}}\left(\frac{\ln a - 1}{(\ln a)^2}\right) = 0 \quad , \tau \neq 0, \ln\frac{C_L}{C_{in}} \neq 0$$

$$\Rightarrow \ln a - 1 = 0 \Rightarrow \ln a = 1 \Rightarrow \underline{a = e \simeq 3}$$

اگر $a = e$ بنابراین تعداد اینورتری که برابر است با:

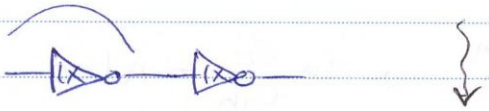
$$\Rightarrow \boxed{n = \ln\frac{C_L}{C_{in}}}$$

حالتهای دیگر را می‌توانیم خودمان اندازه‌گیری کنیم.

مثال: فرض کنید خازن ورودی گیت اینورتر 0.01pF و زمان تأخیر وقتی اینورتر با اندازه شناسه یک باشد 1nsec است. از آن برای اتصال به بار خازنی 11pF استفاده کرده‌ایم. برای زمان تأخیر بدترین حالت چند اینورتر باید استفاده شود و تأخیر انتشار کل چقدر است؟

$C_{in} = 0.01\,pF$, $n = ?$, $t_p = ?$

$C_L = 11\,pF$, $t'_p = 1nsec \Rightarrow \tau = 1nsec$



$\frac{C_L}{C_{in}} = \frac{11pF}{0.01pF} = 1100 \rightsquigarrow t_p = 1100\,\tau = 1100\,nsec$

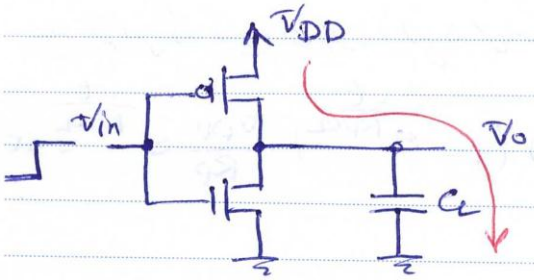
حال جهت مقدار n باید قرار دهیم:

$n = \ln \frac{C_L}{C_{in}} = \ln 1100 \cong 7$

$t_p = n a \tau = 7 \times 3 \times 1nsec = 21\,nsec$

مساحت اشغال شده افزایش می‌یابد. ولی تأخیر به سمت کاهش پیدا می‌کند.

تلفات توان :



یک مدار اینورتر CMOS را در نظر می‌گیریم. و ۲ حالت برای آن متصور می‌شویم : حالت اول وقتی ورودی صفر و خازن شارژ می‌شود :

$V_{in} = 0$

در اینجالت ترانزیستور P.U روشن و خازن از طریق آن شارژ می‌شود. ترانزیستور P.d خاموش است، ترانزیستور را با مقاومت آن در نظر گرفته، مقدار جریان خازن برابر است با :

$$i(t) = \frac{V_{DD}}{R_p} e^{\frac{-t}{R_p \cdot C_L}}$$ ← ترانزیستور با مقاومت مدل شده است

روابط شارژ خازن

$$V(t) = V_{DD}\left(1 - e^{\frac{-t}{R_p C_L}}\right)$$ ← رابطه ولتاژ خازن و وقتی از R_p شارژ می‌شود

برای محاسبه انرژی تلف شده در PMOS، کافی است انرژی که منبع می‌دهد را محاسبه کنیم و توان کل در خازن ذخیره می‌شود هم حساب شود. اختلاف این دو توان، توان تلف شده ترانزیستور است.

$$P_{DD} = \int_0^\infty V_{DD} \cdot i(t) \cdot dt = \int_0^\infty V_{DD} \cdot \frac{V_{DD}}{R_p} e^{\frac{-t}{R_p \cdot C_L}} \cdot dt$$

$$= \frac{V_{DD}^2}{R_p} \int_0^\infty e^{\frac{-t}{R_p \cdot C_L}} \cdot dt$$ ← از رابطه فوق

$$\Rightarrow \boxed{P_{DD} = C_L \cdot V_{DD}^2}$$ ← توانی که منبع می‌دهد

حال توانی که توسط خازن ذخیره می‌شود برابر است با:

$$P_o = \int_0^\infty V(t).i(t).dt = \int_0^\infty V_{DD}\left(1 - e^{\frac{-t}{R_p C_L}}\right)\frac{V_{DD}}{R_p} e^{\frac{-t}{R_p C_L}}.dt$$

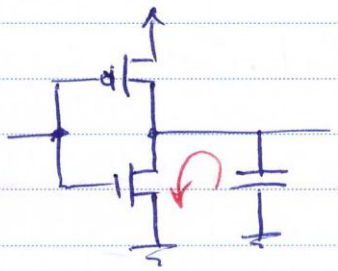
$$\Rightarrow \boxed{P_o = 0.5\, C_L . V_{DD}^2}$$

توان تلف شده در ترانزیستور، اختلاف این دو توان خواهد بود:

$$\boxed{P_{Dis(PMOS)} = P_{DD} - P_o = C_L V_{DD}^2 - 0.5 C_L V_{DD}^2 = 0.5\, C_L . V_{DD}^2}$$

که توان تلف شده بر روی ترانزیستور PMOS

خواهد بود.



حال اگر ورودی High باشد ترانزیستور P.d روشن می‌شود و ترانزیستور P.u خاموش می‌شود.

$= 0.5 C_L V_{DD}^2$

حالت دوم ورودی یک خازن دشارژ می‌شود $V_{in} = H \Rightarrow P_{Dis(NMOS)}$

و به همان میزان توان در NMOS تلف می‌شود پس:

$$\boxed{\text{کل } P_{Dis} = C_L . V_{DD}^2}$$

که توان کل خواهد بود. توان تلف شده فقط برای یکبار روشن شدن هر ترانزیستور بود. ولی اگر مدام اینکار انجام شود. توان تلف شده به دفعات هم بستگی پیدا می‌کند

$$\boxed{\text{کل } P_{Dis} = C_L . V_{DD}^2 . f}$$

یعنی خواهیم داشت،

توان تلف شده با ولتاژ تغذیه ارتباط است. پس با کاهش ولتاژ، توان کم می‌شود پس یک مصالحه بین سرعت و توان وجود خواهد داشت. پس ما نمی‌توانیم به تنهایی فقط یکی از موارد فوق را در نظر بگیریم. بنابراین ما توان حاصلضرب تأخیر و توان را معیار قرار می‌دهیم که یک پیمانی از انرژی است:

PDP (Power Delay Product):

این پارامتر مهمی است زیرا در مداری با کاهش ولتاژ، توان کم می‌شود ولی تأخیر زیاد می‌شود. ولی باید به گونه‌ای باشد که PDP کاهش پیدا کند تا مدار بهینه شده باشد. یا می‌توانیم ظرفیت خازن‌ها را کاهش دهیم. که اندازه خازن‌ها به layout و ابعاد و اندازه ترانزیستورها بستگی پیدا می‌کند.

و تا حد تغذیه را هم اگر کم کنیم، توان کم می‌شود. اینجا دو نکته است یک مدار low power داریم، یک مدار low voltage در مداری اخیر شاید با کاهش ولتاژ مجبور به تعویض تکنولوژی ترانزیستورها شویم زیرا با کاهش ولتاژ تغذیه آن ترانزیستورها باید تغییر کند. نکته دوم این است که با کاهش تغذیه، تأخیر افزایش پیدا می‌کند، زیرا جریان کاهش می‌یابد، زمان شارژ خازن بیشتر می‌شود

$P_{DIS} = C_L \cdot V_{DD}^2 \cdot f \cdot \alpha$ ← ضریب فعالیت

در گیت انتخاب سایز (اندازه) هر تغییر دهی باعث تغییر در خروجی می گردد.

ولی در بسیاری از مدارات هر تغییر دهی باعث تغییر خروجی را به دنبال خواهد

نمی شود (مانند گیت AND) به همین دلیل در بحث مدارگیری باتوان باید یک

ضریب دیگر در معادله توان بنام ضریب فعالیت اضافه می شود (α) که محاسبه آن

براساس احتمالات از دیدگاه آماری انجام می شود که باعث کاهش توان خواهد شد و

مقدار دقیق تری از آن بدست می آید زیرا در مدار اسیزر خیلی محافظه کارانه حساب شده است

در گیتهای سرعت و توان مصرفی از اهمیت ویژه ای برخوردار است.

علاوه بر توان مصرفی خود مدار، یک سری اتفاقات جانبی نیز برای مدارات

ممکن است اتفاق بیفتد که باعث افزایش توان مصرفی خواهد شد یکی از

این اتفاقات پدیده قفل شدگی می باشد.

در هنگام ساخت ترانزیستور NMOS بدون زیرلایه P ساخته می شود که P^+

برای اتصال زیرلایه در نظر گرفته می شود و برای ساخت PMOS یک چاه N وارد زیرلایه P

می کردیم و در آن ترانزیستور ساخته می شود و N^+ برای اتصال زیرلایه به بالاترین ولتاژ است

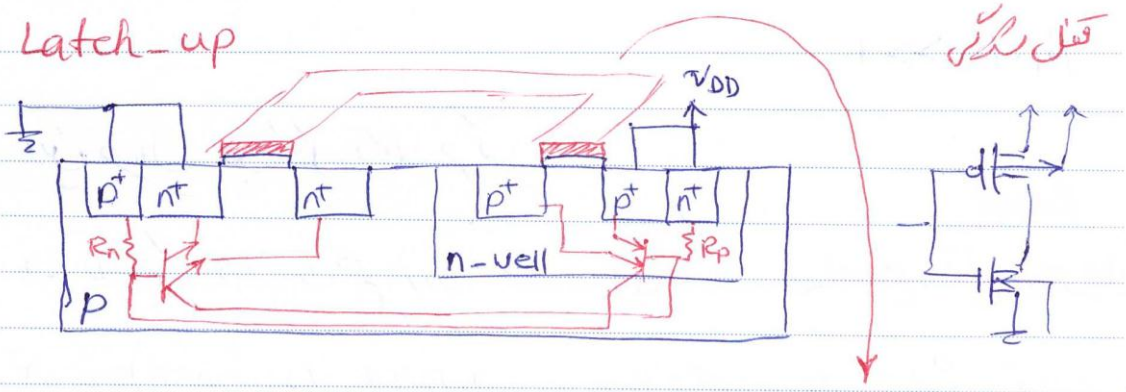
Sunwood

Subject: VLSI

Year. ۹۶ Month. ۸ Date. ۱۹ /۱۵۹

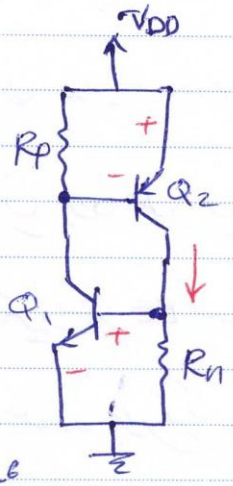
Latch-up

قفل شدگی



گیتهای مدار کجم بصفل هستند. (layout)

حال n و p ها را کنار هم قرار می‌دهیم و به طریق بالا تشکیل ترانزیستور bipolar می‌دهند که به صورت مدار به شکل روبرو خواهد بود.



البته برای E ها، ترانزیستورهای را در نظر گرفتیم که E یکی به زمین و E دیگری به V_{DD} وصل شده است.

اگر یک لحظه جریان لحظه‌ای از Q_2 داشته باشیم و از زمین برود. (منشاء جریان هم از زمین برود) و این جریان بتواند افت ولتاژ R_n را به $0.6 \overset{0.7}{}$ برساند، Q_1 روشن می‌شود باعث می‌شود یک افت $0.6 \overset{0.7}{}$ در R_p بیفتد و Q_2 نیز روشن شود، و جریان در Q_2 دائمی می‌شود. باعث می‌شود یک جریان دائمی قفل شده در مدار باقی بماند به شرط که ...

$\beta_1 \cdot \beta_2 >> 1$

این جریان دو مشکل ایجاد می‌کند:

۱- با صبیک مدار را هنگ نزند. مدار به درستی کار نکند ← اصلاح: قطع V_{DD} و ریست (Reset)

۲- جریان بصرفی مدار را بالا ببرد ← جریان بیهوده هدر می‌رود و توان مصرفی مدار را بالا می‌برد

بنابراین برای حل این مشکل باید هم مقاومتهایی که وجود دارد کم شوند تا با جریانهای کم دیگر و بتا، BE حدود ۰٫۶ پدید نیاید، ولی نمی‌توان کم کرد زیرا R_p, R_n مقاومتهای زیرپا هستند. برای کم کردن آنها باید حفره‌ای ناخالص را کم کرد که این هم تا یک حدی نمی‌توان دستکاری را انجام داد. راه دیگر کاهش β ترانزیستور می‌باشد. در BJT مقدار β متناسب با عرض ناحیه B می‌باشد. که اگر عرض B کوچک باشد، β بهتر و بزرگتر می‌شود پس باید در اینجا عرض B را کوچک کنیم یعنی فاصله C تا B نزدیک کنیم. که در قواعد طراحی فاصله بین p,n نزدیک از n,n و p,p و n,p می‌باشد که یکی از دلایل آن کاهش β ترانزیستور BJT است.

برای توانهای مصرفی در فصلهای بعدی بطور مفصل توضیح داده می‌شود.

Sunwood

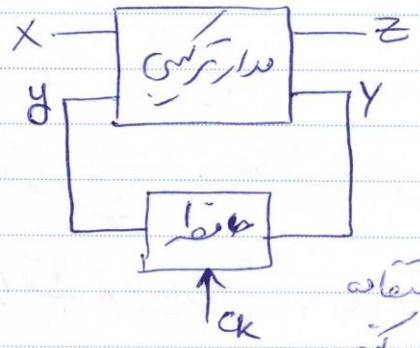
Subject: VLSI

Year. 98 Month. ۸ Date. ۱۴ (۱۴۱

مدارهای ترتیبی: Sequential circuit

خروجی به ورودی در همان لحظه و ورودی در زمانهای قبلی بستگی دارد ولی در مدارهای ترکیبی خروجی مدار فقط به ورودی در همان لحظه بستگی دارد.

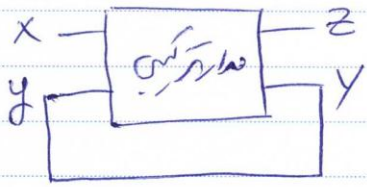
حافظه



در مدار بصورت یک مدار ترکیبی که ورودیهای X و y خروجیهای z دارد و یک سری متغیرهای نیز وجود دارد که در حافظه ذخیره می‌شود و به عنوان متغیرهای حالت استفاده می‌کنیم

اگر ck داشته باشد، سنکرون و در غیر اینصورت آسنکرون خواهد بود.

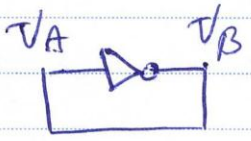
در مدارات آسنکرون باید تاخیرها حتماً در نظر گرفته شود. و زمان بندی که به تاخیرها بستگی پیدا می‌کند و باید تاخیرها به دقت اندازه گیری شود. که اگر شکل مدار را در نظر بگیریم، همانند بالا فقط حافظه حذف شده است و متغیرهای حالت مستقیماً استفاده می‌کنیم.



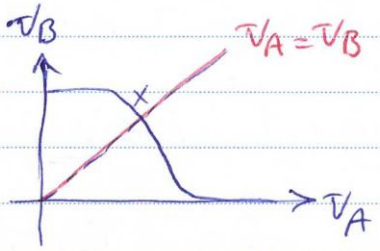
Hazard

اگر تاخیرها را درست محاسبه نکنیم ممکن است متغیرهای حالت و یا z اثر بگذارد که خطا به آن Hazard گفته می‌شود. این پدیده

برای مدار حافظه از چه ترکیبی استفاده کنیم؟ ایده اصلی برای مدار ترکیبی یک اینورتر است. اگر دو تا دروازه یک اینورتر هم وصل شود چه اتفاقی می‌افتد



نمودار V_B برحسب V_A بصورت زیر است. که اگر خط $V_A=V_B$ را رسم کنیم بصورت زیر در خواهد آمد.



حالتهای پایدار مدار چیست؟ چ مدار حالت پایدار ندارد

زیرا نقطه x پایدار نیست زیرا کافی است یک نویز کوچک

مشخصه اینورتر

در مدار ظاهر شود شکل $V_A=V_B$ دی باید V_A مقدار V_A باشد و از طرفی باید با هم برابر باشند

نتیجه:

نقطه پایدار وجود نخواهد داشت و یک نوسان ساز خواهد بود.

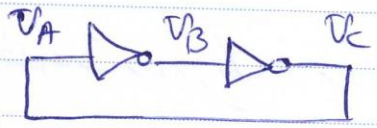
زیرا

که فرکانس ساعت زمان تأخیر لبگی خواهد داشت (زمان تأخیر کیت)

تعداد اینورتر کمتر بیشتر در صورت فرد بودن باعث رفتار مشابه خواهد بود.

بنابراین نمی‌توان از اینورتر به عنوان حافظه استفاده کرد

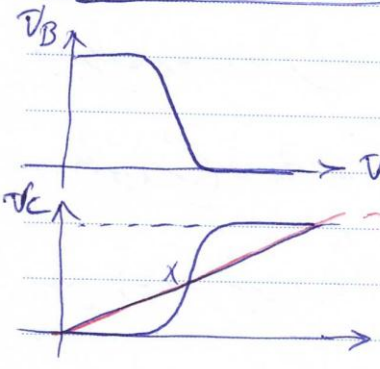
ولی اگر از تعداد زوج از اینورتر استفاده کنیم:



اگر V_B برحسب V_A و V_C برحسب V_A رسم

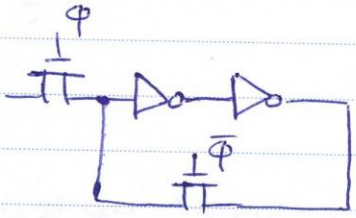
کنیم، بصورت زیر خواهد بود و اگر معادله $V_C = V_A$

را نیز رسم کنیم می‌بینیم که در ۳ نقطه منحنی V_C



برحسب V_A را قطع می‌کند یعنی ۲ حالت

پایدار خواهد داشت و یک حالت ناپایدار.



زیرا با آمدن نویز از ضعیف x به یکی از حالتهای ۰ یا ۱ تغییر می‌کند

چون حافظه را نگه می‌دارد، latch گفته می‌شود

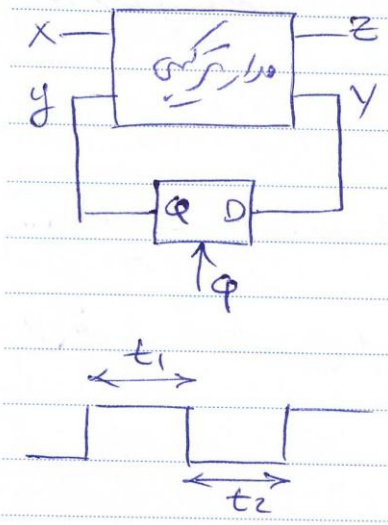
ولی نویز که نمی‌تواند کنترل کند و بجای آن از ۲ تراریستور استفاده می‌کنیم

D Latch

می‌توان از D latch به عنوان سلول حافظه استفاده کرد که وقتی $\Phi = 1$ است

اطلاعات وارد اینورتر می‌شود و بعد از اینکه $\Phi = 0$ شد ترانزیستور قبلی اطلاعات را نگه می‌دارد

Sunwood



می‌توان در مدار ترکیبی فوق بجای سلول حافظه از D_latch استفاده کرد. (به همراه مدار ترکیبی)

اگر زمانهای t_2, t_1 را طوری بایلیم برای Φ بنابراین در زمان t_1 اصطلاحاً گوییم latch مخابره است، اطلاعات ورودی آن به خروجی می‌رسد

بنابراین زمان بندی به صورت زیر باید باشد:

1) $t_1 > \Delta_{Latch}$ ← تا اطلاعات ورودی با تغییر خروجی می‌شود

2) $t_1 < \Delta_{CL(min)}$ ← مدار منطقی ترکیبی ← نباید Y با عث تغییری در Z شود

به این Hazard اتفاق می‌افتد ← min تأخیر از X به Z را در نظر می‌گیرم

3) $t_2 > \Delta_{CL(max)}$ ← بیشترین تأخیر از X تا Z را در نظر می‌گیرم

در t_2 داده قفل می‌شود. پس باید t_2 از بیشترین تأخیر مدار ترکیبی بیشتر باشد یعنی اگر فرصت دهیم تا آخرین تغییر وضعیت بدهند زیرا ممکن است بیشتر تغییر وجود دارد

نکته ۱

نکته مهم انتخاب t_1 است. چون از یک طرف می‌خواهیم t_1 بزرگ باشد

و از طرفی می‌خواهیم t_1 کوچک باشد.

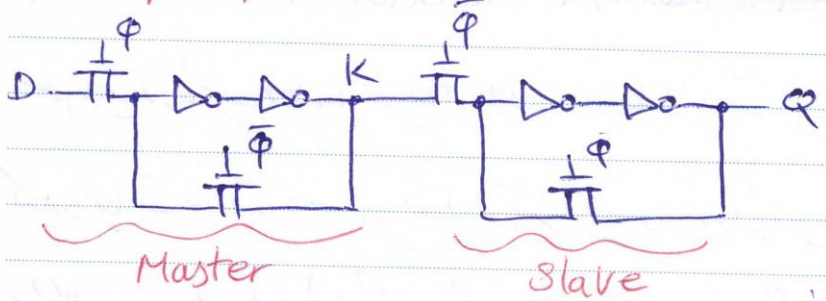
دلیل این کار این است که با سطح سیگنال فعال می‌شود اگر بجای latch

از مدارس استفاده کنیم که با لبه فعال شود این مشکل برطرف می‌شود.

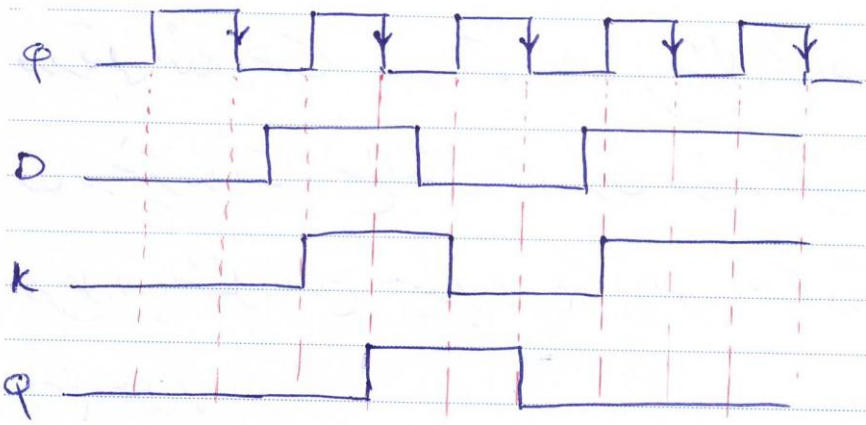
یعنی بجای آن از Flip Flop استفاده کنیم. که بصورت دو عدد D_latch که

صورت سری باهم استفاده کنیم که سیگنال‌های کنترلی آن باهم ۱۸۰ اختلاف داشته باشند

D-Flip Flop



برای دیدن نحوه کارکرد باید یک Data را بصورت تصادفی وضع می‌کنیم:



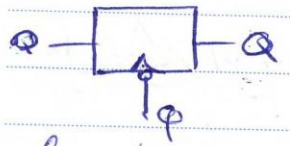
Sunwood ~~latch~~ آن با توجه به Master latch در حالتی که ~~φ=1~~ است

Subject: VLSI

Year. 9C Month. ۸ Date. ۱۶ ۱۳۹۶

۷

خلاف، در حضور $\phi=0$، latch قفل می‌شود و برای Slave latch برعکس



latch مبنای عمل کنیم می‌بینیم که Flip Flop در حضور تغییر

ϕ فقط خروجی خود را تغییر می‌دهد. زمان بندی آن نیز به صورت زیر خواهد بود،

1) $t_1 > \Delta_{Latch\ (master)}$ (تأخیر)

2) $t_2 > \Delta_{Latch\ (slave)}$

3) $t_1 + t_2 > \Delta_{Latch\ (master)} + \Delta_{Latch\ (slave)} + \Delta_{C/L\ (max)}$

هم باید از تأخیر latch ها، Master و Slave، و تأخیر سیر مدار ترکیبی سیر باشد

که در اینجا لازم است مسیر با تأخیر ماکزیمم را در نظر بگیریم. از این رابطه می‌توان

استفاده کرد: به لحاظ سطح اشغال شده، توان مصرفی شده و تأخیر دوبرابر

مدار قبلی شده است. ← فقط زمان بندی مشکل خواهد داشت.

ولی در بیشتر مدارات، سطح اشغال شده، توان مصرفی و تأخیر اهمیت دارد. بنابراین

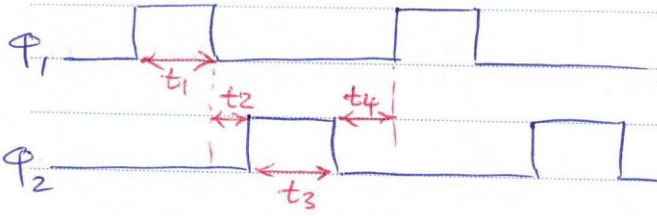
برای حل این مشکل برای سیستم‌هایی می‌رویم که با این ساعت در آنها در چند فاز

به سیستم اعمال می‌شود،

Sunwood

اگر سیستم یک clk داشته باشد ← مدار تک فاز

سیستم با دو ساعت چند فاز: (با استفاده از D_latch)

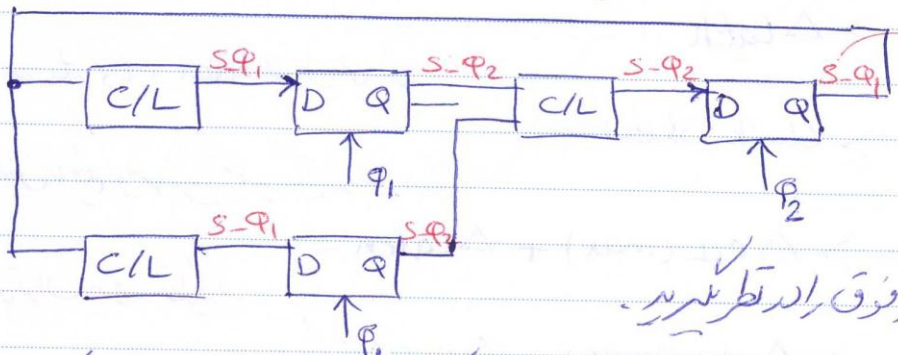


اگر clk در مدار مقادیر باشد

به آن مداری مدار چند فاز گوییم

شرط این clk ها این است که با هم همپوشانی نداشته باشند. ساعت با دو ساعت

Φ1، Φ2 بصورت فوق (ساده‌ترین راه یک Inverter است) تا آخر اسیو ترکیب می‌شود



شیفت رجیستر فوق را در نظر بگیرید.

نکته: وقتی latch را در زمان Φ1 شفاف می‌کنیم، خروجی مطمئن هستیم که در زمان Φ2 پایدار می‌باشد. یعنی خروجی latch مربوط به Φ1 در زمان Φ2 قفل می‌شود.

پس اینجا را در مدار فوق با S_Φ2 (یعنی Stable در زمان Φ2) نشان داده شده است

خروجی مدار ترکیبی منطقی در همان زمان اعمال شده (منظور S_Φ2) اعتبار دارد

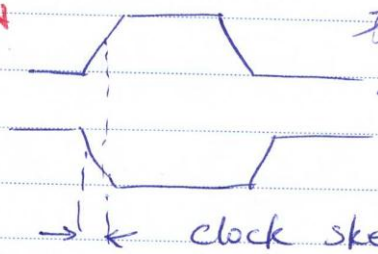
پس برای latch دوم ورودی در Φ2 فعال است و در Φ1 قفل می‌شود (پس S_Φ1)

که با وجود یک سال، خروجی در Φ1 فعال است که به ورودی latch

Sunwood

و خروجی آن نیز در ϕ_2 پایدار می‌شود (قفل می‌شود)

در صورت استفاده از اسلوتر



دقت باید کرد که latch با ϕ_1 خروجی اش در ϕ_2 اعتبار دارد

دقت در اعمال اطلاعات مدارات ترکیبی اهمیت پیدا خواهد کرد

وضعیت بار ساعت در اینجا مشخص نیست

زمان بندی در سیستم چند فاز (بیش از دو فاز) صعب تر است زیرا:

تأخیر

1) $t_1, t_3 > \Delta Latch$ ← فعال شدن latch (t_3, t_4)

2) $t_2, t_4 > clock\ skew$ ← مطمئن باشیم بازه‌ی ساعت همپوشانی ندارند

3) $t_1 + t_2 > \Delta C/L(max) + \Delta Latch$

$t_3 + t_4 > \Delta C/L(max) + \Delta Latch$

می‌توان جمع نظر کرد

در اینجا می‌بینیم که با افزایش زمان‌ها می‌توانیم مشکل زمان‌بندی مداری را حل کنیم.

ولی هنگامی که مدارات را بسیار به هم نزدیک می‌کنیم برای برقراری زمان‌بندی مناسب

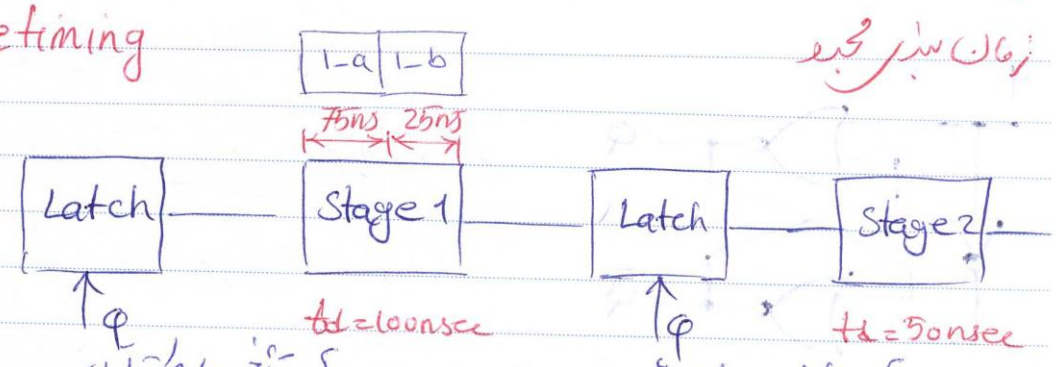
از یک تکنیک دیگر نیز استفاده می‌کنند به نام زمان‌بندی مجدد یا Retiming

Subject: VLSI

Year. 9C Month. ۸ Date. ۱۶ (۱۴۹

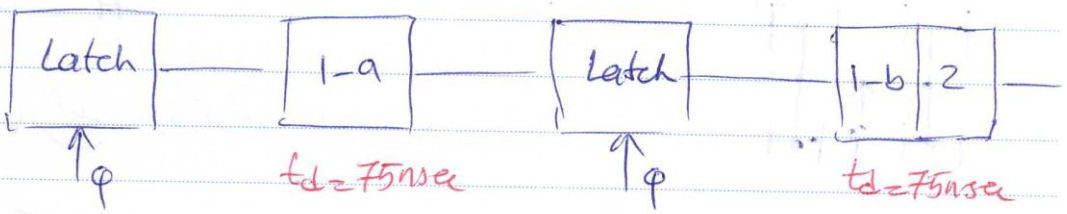
Retiming

زمان بندی مجدد



برای انتخاب فرکانس بالای ساعت گفتیم که باید تأخیر بیشترین مدار را در نظر گیریم

اگر مدارات بصورت فوق باشد باید فرکانس را به گونه‌ای انتخاب کنیم که تأخیر مدار اول را پوشش دهد



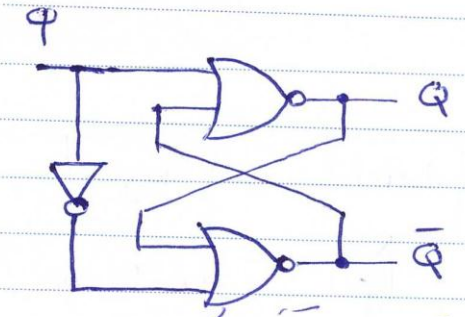
در یک کار برای اینکه بدون دستکاری در مکندوزی بتوانیم تأخیر max را کم کنیم این است که مدار طبقه اول را به دو مدار 1-a و 1-b قسمت کنیم که تأخیر 1-a شد 75ns و تأخیر 1-b شد 25ns باشد و مدار را بصورت مدار فوق دوباره بازسازی کنیم تا تأخیر هر طبقه مدار جدید 75ns شود تا فرکانس مدار را بتوانیم بر اساس 75ns که بیشترین تأخیر مدار CL است در نظر گیریم.

طراحی پایه

Sunwood

بر گاهی اوقات با تغییر طبقات مدار منطقی می‌توان تأخیر را کم نمود

تولید پالس ساعتهای بدون همپوشانی :



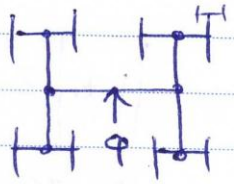
می توان از مدار زیر برای این منظور استفاده کرد.

فیدبک مثبت باعث می شود همپوشانی نداشته

باشد که بجای گیت NOR از گیت NAND هم می توان استفاده کرد

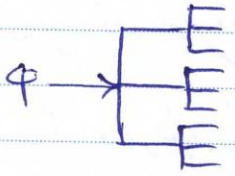
توزیع پالس ساعت : برای کم کردن تأخیر و رساندن همزمان پالس ساعت به قسمتهای مختلف مدار

درخت H



قسمتهای مختلف را در گوشه ای قرار می دهیم

درخت E



زمان رسیدن پالس ساعت به مدارهای مشابه، یکسان خواهد بود.

برای طراحی مدار ترکیبی، ابتدا مدار ترکیبی را طراحی می کنیم سپس یک لاچ جلوی خروجی

می دهیم. زمان بندی را رعایت می کنیم، طرح را کامل می کنیم.

Subject: VLSI

Year. 9C Month. A Date. 19 (15)

۱۹ ۷

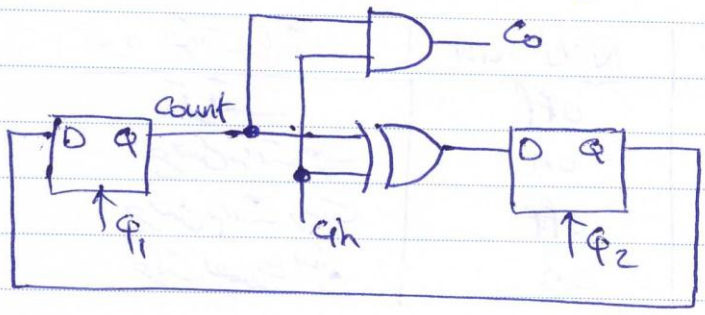
مثال: ساخت یک شمارنده یک بیتی (برای شمارنده‌های n بیتی)

Count	Cin	Next count	Co
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

$Next\ Count = Count \oplus Cin$

$Co = Count \cdot Cin$

اگر $Cin=1$ کلاک شمارنده خواهیم داشت:



خروجی Exclusive OR را به ورودی یک D_latch می‌دهیم و خروجی آن را به یک D_latch دیگر و دو پایه ساعت (سیستم پالس ساعت ۲ فاز) البته این مدار به دو فاز زمانی نیاز دارد. بازمان بندی Φ_1، Φ_2 می‌توان شمارش را کنترل نمود در Φ_2 خروجی latch، EOR دیگر در Φ_1 خروجی Φ_2 به Count می‌رود و شمارش بعدی انجام می‌شود.

Sunwood

خروجی با آمدن پالس تقسیم، کند و نه با تقسیم ورودی‌ها

Subject: VLSI

Year. 95 Month. ۸ Date. 14 (۱۲۰

۲۷

مثال: یک مدار ترتیبی طراحی کنید که یک ربات چمن زن را کنترل کند. این ربات هم یک سنسور نور و یک سنسور مانع مجهز است. سنسور نور، سبب روشنایی و سنسور مانع موانع مسیر ربات را آشکار می سازد

Sensor	Signal (خروجی سنسور)	مفهوم
light	x	خروجی سنسور: روشن: 1 تاریک: 0
obstacle	y	وجود مانع: 1 عدم وجود مانع: 0

این ربات از دو سیگنال خروجی P, q ← برای کنترل دو موتور استفاده می کند. لذا ربات بصورت زیر حرکت می کند:

P	q	left motor	Right motor	نحوه حرکت ربات
0	0	off	off	توقف
0	1	off	on	چرخش به سمت چپ
1	0	on	off	چرخش به سمت راست
1	1	on	on	حرکت بصورت مستقیم

روشکار ربات حول موانع طبق الگوریتم زیر دنبال می شود:

۱- برای اجتناب از بروز حوادث اگر روشنایی محیط کم باشد ربات متوقف می شود لذا حرکت ربات با روشنایی کافی آغاز می شود

۲- ربات در هنگام شروع حرکت بصورت مستقیم حرکت می کند.

۳- اولین مانع بر سر راه ربات پس از آغاز حرکت باعث می‌شود ربات به سمت چپ حرکت کند. چرخش به سمت چپ ادامه می‌یابد تا هیچ مانعی دیده نشود.

۴- ربات چرخش قبلی خود را به خاطر می‌سپارد اگر یک مانع جدید ظاهر شد ربات برخلاف چرخش قبلی عمل می‌کند.

چهار حالت در نظر می‌گیریم

State برای ورودی	مفهوم
0 0	از مانع بعد با چرخش به سمت چپ عبور کند
0 1	" " چرخش به سمت چپ
1 1	از مانع بعد با چرخش به سمت راست عبور کند
1 0	" " چرخش به سمت راست

مفهوم از حالتهای فوق

دارد / دارد

مانع وجود ندارد

مانع وجود دارد

حل ۱

State قبل	xy=0x	xy=10	xy=11
S_1 S_0	S_1 S_0 p q	S_1 S_0 p q	S_1 S_0 p q
0 0	0 0 0 0	0 0 1 1	0 1 0 1
0 1	0 0 0 0	1 1 1 1	0 1 0 1
1 1	0 0 0 0	1 1 1 1	1 0 1 0
1 0	0 0 0 0	0 0 1 1	1 0 1 0

ورودی‌های دیگر

ورودی حالتی

State بعدی می‌باشد

خروجی

$S_1 S_0$: حالت قبل

$q_1 q_0$: حالت بعد

اگر خروجی سنسور دوستی صفر باشد، به سنسور مانع کاری ندارد.

Sunwood

با استفاده از جدول کارنو، معادله ساده سازی روابط خروجی ها بدست می آید:

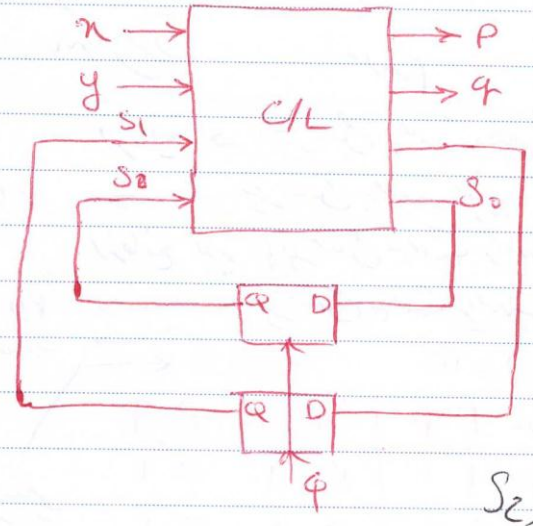
$$S_1 = x\bar{y}S_0 + xyS_1$$

$$S_0 = x\bar{y}S_0 + xy\bar{S}_1$$

$$P = x\bar{y} + xS_1$$

$$q = x\bar{y} + x\bar{S}_1$$

در یک مدار C/L داریم که ورودی های آن ورودی متغیر x و y و یک مدار ترکیبی (x, y) و یک مدار ترکیبی دیگر P و q برای کنترل موتوری ساخته می شود، و رجیستال برای نگهداری در حافظه داریم که S_1 و S_0 است که هرکدام را در یک D-latch قرار می دهیم، clock را به φ متصل می کنیم با تنظیم clock، مدار بصورت ترتیبی می باشد.



تحلیل اصلی مدار ترتیبی همان مدار ترکیبی (C/L) است. فقط متغیر حالت را در یک سلول حافظه قرار می دهیم و با clock آنرا متغیر می کنیم

Sunwood

Subject: VLSI

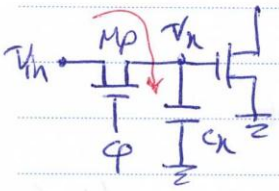
Year. ۹۶ Month. ۸ Date. ۲۹ (۱۸۸)

مدارهای منطقی دینامیکی

در منطق استاتیکی، منطق خروجی توسط تغذیه و زمین تأمین می‌شود و تا زمانی که برای تأمین ولتاژ اقدام نکنیم، اتفاقی نمی‌افتد (خروجی تغییر نمی‌کند)

اولین نوع ذخیره سازی، ذخیره خازن یک ترانزیستور عبور بود (یادآوری)

در منطق دینامیکی، بار را در خازن ذخیره می‌کنیم



C_x کل خازن‌های خروجی ترانزیستور عبور است که دینامیکی آن ذخیره می‌شود، شرایط مدار بصورت زیر در نظر می‌گیریم:

$V_{in} = V_{DD}$

$\varphi = V_{DD} \longrightarrow$ @sat Mp : on $\longrightarrow$ جریان خازن $i_C = C_x \frac{dV_x}{dt} = I_{D_{Mp}}$

$V_x(t=0) = 0$ ← خازن شروع به شارژ شدن می‌کند، سرعت شارژ حقیر است.

لبگی به ناحیه کار ترانزیستور دارد. چون $\varphi = V_{DD}$ و $S = \phi$ بوده است. بنابراین $V_{DD} > V_G - V_{Tn}$

و ترانزیستور در ناحیه اشباع قرار می‌گیرد پس مقدار جریان ترانزیستور برابر است با:

$$\Rightarrow I_{D_{Mp}} = \frac{\beta_n}{2}(V_{DD} - V_x - V_{Tn})^2$$

بنابراین

$$\Rightarrow dt = \frac{2C_x}{\beta_n (V_{DD} - V_x - V_{Tn})^2} \cdot dV_x$$

می‌خواهیم زمانی که خازن ولتاژش از صفر به V_x برسد را حساب کنیم. ← یک ولتاژ دلخواه

$$\Rightarrow \int_0^t dt = \int_0^{V_x} \frac{2C_x}{\beta_n (V_{DD} - V_x - V_{Tn})^2} \cdot dV_x$$

انتگرال بگیری:

$$\Rightarrow t = \frac{2C_x}{\beta_n} \left[\frac{1}{V_{DD} - V_x - V_{Tn}} \right]_0^{V_x}$$

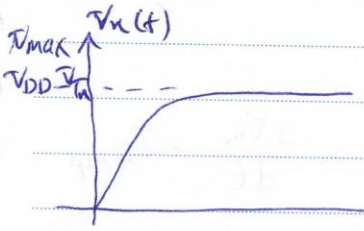
حالا کران حدود انتگرال رو جایگذاری کنی:

$$\Rightarrow t = \frac{2C_x}{\beta_n} \left[\frac{1}{V_{DD} - V_x - V_{Tn}} - \frac{1}{V_{DD} - V_{Tn}} \right]$$

$$\Rightarrow V_x(t) = (V_{DD} - V_{Tn}) \frac{\frac{\beta_n (V_{DD} - V_{Tn})}{2C_x} t}{1 + \left(\frac{\beta_n (V_{DD} - V_{Tn})}{2C_x} \right) t}$$

ولتاژ شارژ خازن

که شکل موج ولتاژ دو سر خازن بصورت زیر خواهد بود:



در $t \to \infty$ حداکثر به $V_{DD} - V_{Tn}$ می‌رسد (بعد از مدت زیاد) $t \to \infty$

که $V_{max} = V_{DD} - V_{Tn}$

که قبلاً دیده بودیم ترانزیستور عبور "یک" را خوب منتقل می‌کرد که در اینجا می‌بینیم

حال اگر بخواهیم وضعیت عکس را در نظر بگیریم، ولتاژ ورودی را در ابتدا صفر در نظر بگیریم، clock فعال شود، فرض کنیم ولتاژ دو سر خازن حال V_{max} یعنی $V_{DD} - V_{Tn}$ باشد، در اینجا نیز ترانزیستور روشن است و می‌خواهد خازن را دشارژ کند تا ولتاژ دو سر خازن به صفر برسد.

Sunwood

$V_{DS} < V_{GS} - V_T \rightarrow M_0$ @ Triode

$V_{th} = 0$

@Triod

$\varphi = V_{DD} \rightarrow Mp: on \rightarrow i_C = -C_n \frac{dV_n}{dt} = I_{Dmp}$

$V_n(t=0) = V_{max} = V_{DD} - V_{Tn}$

بنابراین برای جریان تراتزیستور که در Triod است داریم:

$$\Rightarrow I_{Dmp} = \frac{\beta_n}{2}\left[2(\overbrace{V_{DD} - V_{Tn}}^{V_{GS}})\overbrace{V_n}^{V_{DS}} - \overbrace{V_n^2}^{V_{DS}^2}\right]$$

بنابراین:

$$\Rightarrow dt = -\frac{2C_n}{\beta_n}\left\{\frac{1}{2(V_{DD} - V_{Tn})V_n - V_x^2} \cdot dV_n\right\}$$

حال خواهیم زمانی که مقدار ولتاژ خازن از $V_{DD} - V_{Tn}$ به مقدار V_n کاهش پیدا می‌کند حساب کنیم:

$$\Rightarrow \int_0^t dt = -\frac{2C_n}{\beta_n}\int_{V_{DD}-V_{Tn}}^{V_n} \frac{1}{2(V_{DD} - V_{Tn})V_n - V_x^2} \cdot dV_n$$

انتگرال گیری:

$$\Rightarrow t = \frac{C_n}{\beta_n(V_{DD} - V_{Tn})}\left\{\ln\left(\frac{2(V_{DD} - V_{Tn}) - V_n}{V_n}\right)\right\}_{V_{DD}-V_{Tn}}^{V_n}$$

حاکمدار حدود انتگرال

با کمی ساده‌سازی:

$$\Rightarrow \boxed{t = \frac{C_n}{\beta_n(V_{DD} - V_{Tn})}\ln\left[\frac{2(V_{DD} - V_{Tn}) - V_n}{V_n}\right]}$$

بنابراین V_n برحسب t به‌دست می‌آید:

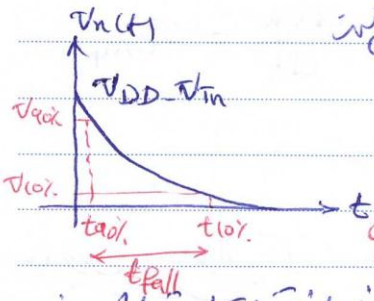
$$\Rightarrow V_n(t) = \frac{2(V_{DD} - V_{Tn})}{1 + e^{\frac{\beta_n(V_{DD}-V_{Tn})t}{C_n}}}$$

تابع نمایی

ماکسیمم حالت قبل برای $t \to \infty$ داریم:

اگر $t \to \infty \Rightarrow V_n \to 0$

بنابراین می‌توان V_x را برحسب t به صورت زیر به دست آورد که از مقدار $V_{DD}-V_{Tn}$ تا صفر به صورت نمایی کاهش می‌یابد و می‌بینیم که صفر را خوب منتقل می‌کند



(قطع آن زمان کافی داشته باشد)

نکته: در زمان نگارش چون S، Sub هم‌پتانسیل نیست، بنابراین تراز سیر اثر بدنه دارد و مقدار V_{Tn} برابر مقدار زیر است:

$$V_{Tn} = V_{T0} + \gamma\left(\sqrt{|2\phi_F| + V_{SB}} - \sqrt{|2\phi_F|}\right)$$

قرارداد: V_x ← یعنی V_{Tn} به مقدار V_x نیز بستگی دارد

و V_x از این رابطه به دست می‌آوریم، در رابطه فرق می‌گذارد.

وی در هنگام نگارش چون جهت جریان عوض می‌شود، حال S، D نیز عوض می‌شود، در این حالت S به زمین متصل شده ($V_{in}=0$)، Sub هم که به زمین متصل است، اثر بدنه نخواهیم داشت.

زمان طول کشیدن نگارش خازن از این جهت که تا چه زمانی می‌توانیم data را بر روی خازن ذخیره کنیم برای ما اهمیت پیدا می‌کند

حال برای پیدا کردن $t_{90\%}$, $t_{10\%}$ می‌توانیم بجای V_x در رابطه t قرار دهیم:

$$V_{90\%} = 0.9(V_{DD} - V_{Tn}) \rightarrow t_{90\%} = \cdots \quad (*)$$

$$V_{10\%} = 0.1(V_{DD} - V_{Tn}) \rightarrow t_{10\%} = \cdots \quad (**)$$

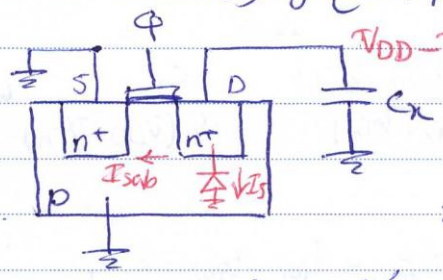
$$(*)\ t_{90\%} = \frac{C_n}{\beta_n(V_{DD}-V_{Tn})} \ln \frac{(2-0.9)(V_{DD}-V_{Tn})}{0.9(V_{DD}-V_{Tn})} = \frac{C_n}{\beta_n(V_{DD}-V_{Tn})} \ln \frac{1.1}{0.9}$$

$$(**)\ t_{10\%} = \frac{C_n}{\beta_n(V_{DD}-V_{Tn})} \ln \frac{1.9}{0.1} \rightarrow \boxed{t_{fall} = t_{10\%} - t_{90\%} = 2.74 - \frac{C_n}{\beta_n(V_{DD}-V_{Tn})}}$$

این زمانها به V_{DD}، V_{Tn}، خازن بار، و ابعاد ترانزیستور که فقط با β_n می‌توانیم مقادیر این زمانها را تغییر دهیم، کمتر و یا بیشتر کنیم و تنظیم کنیم (یعنی $\frac{W}{L}$ را تنظیم کنیم) (V_{DD} غالباً ثابت است، V_{Tn} که در هنگام ساخت ترانزیستور هم مشخص است)

حال می‌توان زمان t_{rise} را نیز با استفاده از روابط مشابه خازن به دست آورد

حال اگر ϕ را صفر قرار دهیم. ترانزیستور PP قطع می‌شود.



بر باید خازن ولتاژ را نگه دارد.

اگر ترانزیستور PP را به صورت ایده‌آل در نظر بگیریم:

اگر $\phi=1$ قرار می‌دادیم e ناصح p را به کانال می‌کشیدیم و یک کانال نوع n تشکیل می‌دادیم و جریان برقرار می‌شد. با صفر شدن ϕ، کانال دیگر وجود ندارد ولی در نیمه‌کلی نوع p، e در اقلیت هستند (حدود 10^{-3} cm^{-3}) ولی در حالت وارونگی مقدار آن به 10^{15} cm^{-3} می‌رسد. به همین دلیل به نظر می‌آید که یک کانال ضعیف در p وجود دارد که باعث عبور یک جریان ضعیف از آن می‌شود که به آن جریان sub treshhold گویند (جریان زیر آستانه) چون هنوز ولتاژ آستانه نشده که وارونه شود یک دیود pn بین بدنه و سورس برقرار می‌گردد که در حالت اشباع معکوس قرار می‌گیرد که یک جریان نشتی وجود دارد که باعث دشارژ خازن می‌شود. بنابراین اگر بخواهیم ولتاژ سر خازن باقی بماند باید دوباره شارژ کنیم ← Refresh کردن

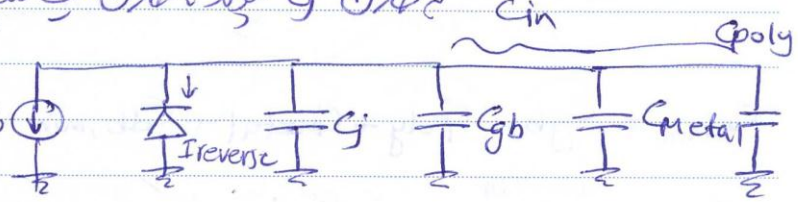
Sunwood

چون خازن می‌کند refresh را بیشتر می‌کند

خازن‌های مدار را فرق:

برای پیدا کردن خازن‌های مدار باید layout آنرا در نظر بگیریم تا به کمک آن بتوانیم مقادیر خازن‌ها را به دست آوریم. ۸۰٪ خازن‌های مهم، خازن‌هایی است که در محدوده Contact سورس و کلیت طبقه تغییر. خازن سورس بالاترین نسبت به بدنه که خازن‌های محیط را نیز باید حساب کنیم

به خازن C_j میگیم، خازن کلیت نسبت Bulk، خازن Metal که یک الکترود نمیگیم در زیرآن وجود دارد:



$\Rightarrow C_{in} = C_{gb} + C_{poly} + C_{metal}$ — poly نسبت به Sub یک خازن دارد

کل بار روی خازن از خازن اتصال، خازن دو لایه تشکیل شده است

$$Q = Q_j + Q_{in}$$

جریان نشتی:

$$I_{leak} = \frac{dQ}{dt} = \frac{dQ_j}{dt} + \frac{dQ_{in}}{dt} = C_j \frac{dV_n}{dt} + C_{in} \frac{dV_n}{dt}$$

برای خازن C_j داریم:

$$C_j = \frac{A C_{j0}}{\sqrt{1 + \frac{V_n}{\varphi_0}}} \quad , \quad \varphi_0 = \frac{kT}{q} \ln \frac{N_A \cdot N_D}{n_i^2} \quad , \quad C_{j0} = \sqrt{\frac{q \varepsilon_{Si} \cdot N_A}{2 \varphi_0}}$$

φ_0 همان φ_F است.

Sunwood

$$\Rightarrow C_j = A\sqrt{\frac{q\varepsilon_{Si} N_A}{2(\varphi_0 + V_R)}} \quad (*)$$

برای محاسبه خازن در خروجی مدار باید بدترین حالت را انتخاب کنیم. یعنی ولتاژی باید طوری انتخاب شود که خازن مقدار حداقل را داشته باشد. چون خازن db کاملاً به ولتاژ معکوس بستگی دارد (یعنی V_R) پس بحرانی ترین حالت برای مدار حالتی است که ظرفیت خازن min باشد یعنی:

ثابت هستند

$$C_{R,min} = C_{gb} + C_{poly} + C_{metal} + C_{db,min} \rightarrow C_j$$

$V_{DD} - V_{TA}$

زیرا می خواهیم زمان hold را حساب کنیم یعنی اگر خروجی به High رسید تا چه حدی زمان ولتاژ را High معتبر می دانیم یعنی logic معتبر چه زمانی است.

تعریف زمان بحرانی

$$\Rightarrow t_{hold} = \frac{\Delta Q_{critical}}{I_{leak}} \rightarrow \text{هنوز خروجی logic معتبر را دارد}$$

$Q = CV$, V_{max}

$$\Delta Q_{critical} = C_R\left(V_R - \frac{V_{DD}}{2}\right) \rightarrow \text{بگذار } \frac{V_{DD}}{2} \text{ هنوز معتبر باشد}$$

مثال: فرض کنید در layout نکات ضمیم مشخصات زیر داده شده باشد:

$\varphi_0 = 0.88\,V$, $\varphi_{SW} = 0.95V$, $I_{reverse} = 0.85\,pA$, $I_{Sub} \simeq 0$ (زیرآستانه)

$C_{ox} = 0.065\ fF/\mu m^2$, $C_{metal} = 0.036\ fF/\mu m^2$, $C_{poly} = 0.055\ fF/\mu m^2$

خازن واحد سطح فلز

دیواره کانال

$C_{j0} = 0.095\ fF/\mu m^2$, $C_{j0sw} = 0.2\ fF/\mu m$, $2\phi_F = 0.6\ V$

(Side ↘ wall)

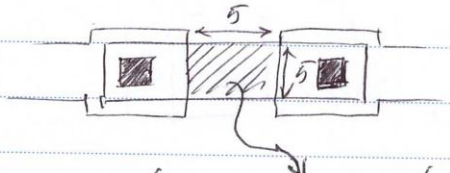
$V_{T0} = 0.8\ V$, $\gamma = 0.4\ V^{1/2}$

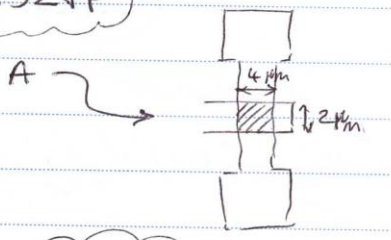
مساحت کیت

از روی layout خازن را حساب می‌کنیم

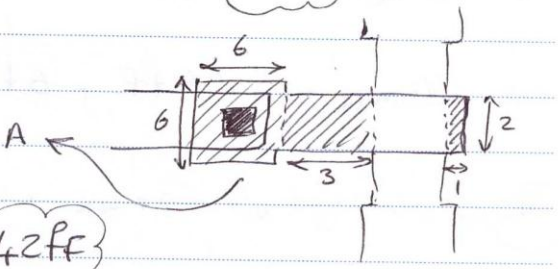
$C_{gb} = C_{ox} \times \overset{\frown}{A} = C_{ox} \times 4 \times 2 = 0.52\ fF$

بدون طرح بار





$C_{Metal} = C'_{Metal} \times A = C'_{Metal} \times 5 \times 5 = 0.9\ fF$



$C_{poly} = C'_{poly} \times A =$

$C'_{poly}(6\times6 + 3\times2 + 1\times2) = 2.42\ fF$

قسمت زیر کیت قبلاً در محاسبات خازن کیت حساب شده است و بقیه poly با فلز مانده را باید برای محاسبات در نظر بگیریم.

C_j به ازای ولتاژ $V_x = V_{x_{max}}$ خواهیم داشت. حال اگر V_x با بایاس خازن اتصال (C_j) در نهایت max خواهد شد ولی با $C_{j(min)}$ روبرو داریم. بر اساس C_{jmax} رابطه‌ای می‌نویسیم که تقاضای است که باید خازن دیواره‌ای را نیز حساب کنیم:

Subject: VLSI

Year. 9C Month. ۸ Date. ۳۰ ۱۵۲

۷

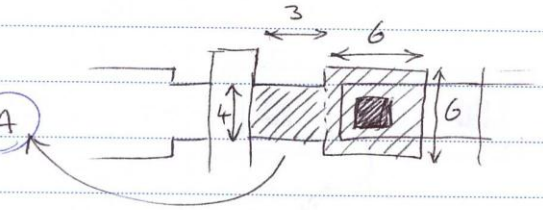
تا برایی داریم :

$C_{dbmax} = C_{bottom} + C_{side\,wall}$ (کف، دیواره)

$= A_{bottom} \times C_{j0} + P_{sidewall} \times C_{jsw}$ (محیط دیواره)

(مساحت کف)

تا پرسن به کانال هتر درین است (A)



$\Rightarrow C_{dbmax} = (6\times6 + 4\times3)\times0.095 + 30\,\mu m \times 0.2\,fF/\mu m$

(6+6+6+1+3+4+3+1)

$\Rightarrow C_{dbmax} = 4.56\,fF + 6\,fF = 10.56\,fF$

وی برای بدترین حالت C_{xmin} لازم است و نه C_{xmax}. وی این مقدار برای V_x ماکزیمم بدست می‌آید، V_x ماکزیمم هنگامی بدست می‌آید که برابر $V_{DD}-V_{Tn}$ باشد

که باید از بدنه را نیز در نظر بگیریم : (اگر در نظر نگیریم $V_{max}=V_{DD}-V_{T0}=4.2$)

$$V_{max} = V_{DD} - V_{Tn} = V_{DD} - \left(V_{T0} + 8\left(\sqrt{2\phi_F + V_{nmax}} - \sqrt{|2\phi_F|}\right)\right)$$

(0.8)

$$= 5 - 0.8 - 0.4\left(\sqrt{0.6 + V_{max}} - \sqrt{0.6}\right)$$

(8)

$\Rightarrow V_{max} = 3.68\,V$ اگر بدنه صفر 0.5 ولت است

نکته :

* در خیلی موارد چون حدود جواب را می‌دانیم و کافیم برای بدست آوردن V_{max} از آزمون و خطا استفاده کنیم - (اگر حل معادله سخت می‌شد)

Sunwood

حال اگر V_{xmax} را در معادله C_j قرار دهیم مقدار C_{jmin} به دست می‌آید.

ولی چون خازن دیواره‌ی و کف جداگانه دارد سطح در برابر تنش با بایاس هر کدام جداگانه حساب کنیم. چون φ_0 ها یکسان با هم برابر نیست. بنابراین خازن‌های کف و دیواره‌ای را که جدا به دست آوردیم در رابطه C_{db} قرار می‌دهیم تا C_{db} نهایی مورد به دست آید:

$$C_j = \frac{AC_{j0}}{\sqrt{1+\frac{V_R}{\varphi_0}}}$$

$$C_{db,min} = \frac{C_{bottom}}{\sqrt{1+\frac{V_{xmax}}{\varphi_0}}} + \frac{C_{sidewall}}{\sqrt{1+\frac{V_{xmax}}{\varphi_{0,sw}}}} = \frac{4.56fF}{\sqrt{1+\frac{3.68}{0.88}}} + \frac{6}{\sqrt{1+\frac{3.68}{0.95}}} = 4.71fF$$

که در بدترین حالت است. بنابراین C_{xmin} از جمع این مقدار با خازن‌های دیگر به دست می‌آید:

$$C_{x,min} = C_{gb} + C_{poly} + C_{metal} + C_{dbmin} = \cdots = 8.55\,fF$$

I_{max} است زیرا که در اثر تغییر بار به دست می‌آید $V_{xmax} - \frac{V_{DD}}{2}$ در C_{xmin} به دست آمد:

$$\Rightarrow \Delta Q_{critical} = C_{xmin}\left(V_{xmax} - \frac{V_{DD}}{2}\right) = 8.55\,(3.68 - 2.5) = 10.09\ fC$$

← هر مقدار دیگری که بتواند باشد

جریان نشتی:

$$I_{leak} = I_{sub} + I_{reverse} = 0.85\,pA$$

بنابراین:

$$\Rightarrow t_{hold} = \frac{\Delta Q_{critical}}{I_{leak}} = \frac{10.09\,fc}{0.85\,pA} = 11.87\,msec$$

Subject: VLSI

Year. 98 Month. ۸ Date. ۳۰ (۱۸۶

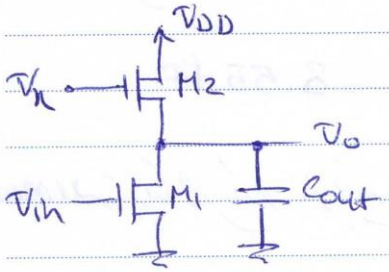
- اگر فرکانس clock را 1MHz یعنی دوره تناوب 1μsec و برداشت هر خانه 12msec فرض کنیم، هر 12msec یکبار خازن شارژ شود و تا 12msec به کار خود ادامه دهد. بنابراین می‌بینیم که استفاده از خازن به صرفه است.

اشکال ترانزیستور عبور فقط این بود که باعث می‌شود خروجی یک و تا V_T از V_{DD} کمتر داشته باشد. وقتی می‌خواهیم "یک" را ارسال کنیم.

برای حل این مشکل از روش خازن Boot Strap استفاده می‌کنیم:

Voltage Bootstrapping:

فرض کنید مدار به صورت زیر در نظر گیریم:



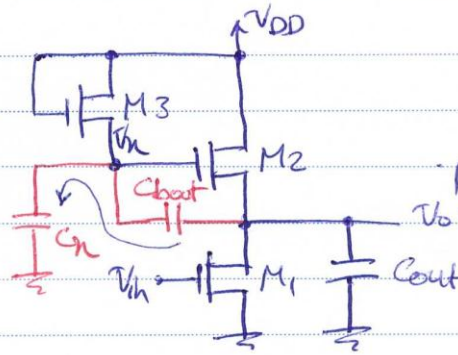
در حالتی که $V_{in}=V_{OH}$, $V_{in}=V_{OL}$

شرایط مدار به صورت زیر خواهد آمد:

$V_{in}=V_{OL} \Rightarrow M_1: off \Rightarrow V_o = \overbrace{V_K - V_{T_2}}^{V_{DD}}$

$V_{in}=V_{OH} \Rightarrow M_1: on \Rightarrow V_o = 0$

در روش Boot strap اتصال V_{DD} و V_K از طریق ترانزیستور دیگری انجام می‌شود،



اگر ترانزیستورها را با اثرات خازنی شان در نظر بگیریم.

برای Cboot به صورت بزرگ نبودن خازن ترانزیستور از یک ترانزیستور دیگر استفاده می‌کنیم.

$V_{th} = V_{OH} \longrightarrow V_x = V_{DD} - V_{T3}$

ولی در حالت استقال صفر، در NMOS مشکل وجود نداشت. مشکل اصلی در جایی است

که $V_{th} = V_{OL}$ می‌شد

بنابراین جایی که از Cboot می‌کنیم از C_x بیشتر می‌کنیم.

$i_{Cboot} = i_{C_x}$

$$\Rightarrow i_{C_x} = C_x \frac{dV_x}{dt} = i_{Cboot} = C_{boot} \frac{d(V_o - V_x)}{dt}$$

$$\Rightarrow (C_x + C_{boot}) \frac{dV_x}{dt} = C_{boot} \frac{dV_o}{dt}$$

$$\Rightarrow \frac{dV_x}{dt} = \frac{C_{boot}}{C_x + C_{boot}} \frac{dV_o}{dt}$$

$$\Rightarrow dV_x = \frac{C_{boot}}{C_x + C_{boot}} \cdot dV_o$$

که V_x از $V_{DD} - V_{T3}$ تا V_{DD} می‌خواهیم V_o از V_{OL} تغییر می‌کند، V_x (تغییر کند بیا)

Sunwood

حتی قبلش هم V_{DD} می‌رسید

$$\int_{V_{DD}-V_{T3}}^{V_h} dV_h = \int_{V_{OL}}^{V_{DD}} \frac{C_{boot}}{C_n + C_{boot}} \cdot dV_o$$

$$\Rightarrow V_h = (V_{DD} - V_{T3}) + \frac{C_{boot}}{C_n + C_{boot}} (V_{DD} - V_{OL})$$

اگر $C_{boot} \gg C_n$

$$\Rightarrow V_h = V_{DD} - V_{T3} + (V_{DD} - V_{OL}) = 2V_{DD} - V_{T3} - V_{OL}$$

اگر بخواهیم خروجی به V_{DD} برسد باید V_h به مقدار $V_{DD} + V_{T2}$ برسد چون خروجی از سورس ترانزیستور M_2 گرفته شده است. می‌بینیم V_h که $2V_{DD} - V_{T3} - V_{OL}$ برسد می‌خواهیم:

$$V_{hmin} = V_{DD} + V_{T2}$$

$$V_{hmin} = (V_{DD} - V_{T3}) + \frac{C_{boot}}{C_n + C_{boot}} (V_{DD} - V_{OL}) \Rightarrow$$

$$\frac{C_{boot}}{C_n + C_{boot}} = \frac{V_{T2} + V_{T3}}{V_{DD} - V_{OL}}$$

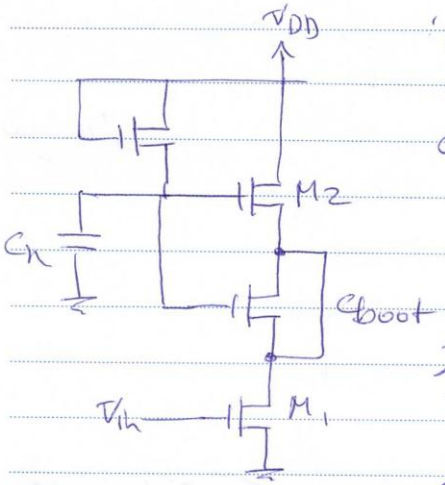
که نسبت $\frac{C_{boot}}{C_n}$ به دست می‌آید.

$$\Rightarrow \boxed{\frac{C_{boot}}{C_n} = \frac{V_{T2} + V_{T3}}{V_{DD} - V_{OL} - V_{T2} - V_{T3}}}$$

می‌توان خازن پارازیتی نقطه x را حساب کنیم ← از روی layout

خازن C_{boot} را با در نظر گرفتن اثر بدنه به دست می‌آوریم، اگر اندازه C_{boot} کافی نبود از یک خازن اضافه استفاده می‌کنیم.

اگر بخواهیم از ترانزیستور به عنوان خازن استفاده کنیم،

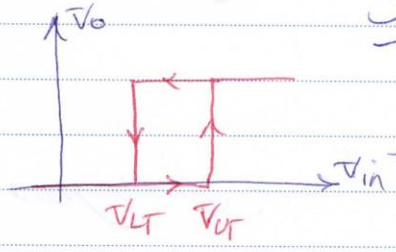


بصورت زیر عمل می‌کنیم و حول می خواهیم صرفاً به عنوان خازن استفاده کنیم D را به S وصل می‌کنیم تا Cgd, Csd باهم برابر شود تا بتوانیم با ایجاد کوچکترین خازن بزرگتری بدست آوریم + خازنهای دیگر مدار ← ولتاژ خروجی تا VDD بر سانیم.

اینورتر شمیت تریگر:

در اینورتر اشمیت تریگر حالت هیسترزیس وجود دارد (تفاوت با اینورتر معمولی)

و اگر Vo را بر حسب Vin رسم کنیم. تغییر از صفر به یک



از یک مسیر VUT و تغییر از یک به صفر از مسیر دیگر

یعنی VLT انجام می‌شود.

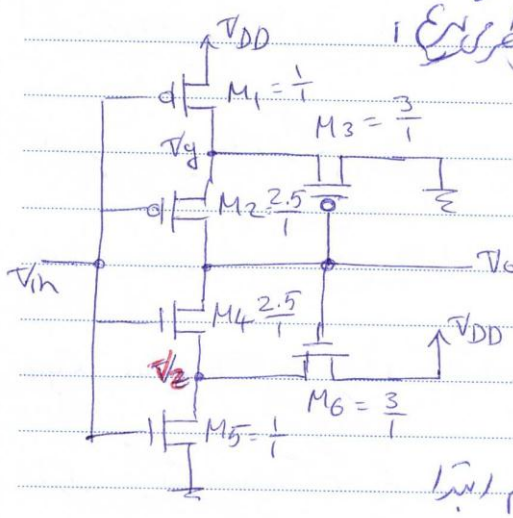
کاربرد: حذف نویز در حالتی که نویز زیاد وجود داشته باشد. (مثل کلید)

مداری که برای اینورتر اشمیت با تکنولوژی CMOS در نظر می‌گیریم بصورت زیر است:

Subject: VLSI

Year. 9۷ Month. ۱ Date. ۵ ۱۴۰

مثال: اینورتر CMOS زیر را در نظر بگیرید:



$V_{DD} = 5V$

$\gamma = 0.4\ V^{1/2}$ ضریب اثر بدنه

$K'_n = 25\ \mu A/V^2$

$K'_p = 10\ \mu A/V^2$

$V_{T0n} = |V_{T0p}| = 1V$

$2\phi_F = 0.6V$

برای پیدا کردن حدود تحمل بالا و پایین را پیدا کنیم ابتدا

1) $V_{in} = 0 \longrightarrow V_o = V_{DD} = 5V$ حدود را صفر می‌کنیم، کم کم افزایش می‌دهیم:

$M_{1,2}$ خاموش، M_4 تا جایی روشن می‌شود بنابراین خروجی تا V_{DD} می‌رود. سپس

$\Rightarrow V_2 = V_{DD} - V_{T6}$ ← خواهد M_6 را روشن کند وقتی چون $M_{4,5}$ خاموش است چنانچه نشود

$V_{T6} = V_{T06} + \gamma(\sqrt{|2\phi_F| + V_2} - \sqrt{|2\phi_F|})$ ← چون اثر بدنه داریم (V_{SB})

$\longrightarrow V_2 \simeq 3.5V$

حدود را شروع به زیاد شدن کنیم. شروع در نظر می‌گیریم 1V (به اندازه V_T تا جایی که شروع)

2) $V_{in} = 1V \longrightarrow M_5$: on, M_4: off $\longrightarrow V_o = 5V \rightarrow$ زیرا خازن دشارژ نمی‌شود

3) $V_{in} = 2V \longrightarrow M_5$: on, M_4: off $\longrightarrow$ چون از M_5, M_6 می‌گذرد

زیرا هم M_6، هم M_5 روشن هستند

Sunwood

$\Rightarrow I_{D6} = I_{D5}$

هر دو در اشباع خواهند بود (برای M_5 فرض می‌کنیم) زیرا:

بار روی سلف M_5، چون V_Z قبلاً 3.5V $\leftarrow$ $V_{GS}-V_T = 1\,V,\ V_{DS} = 3.5$

برای اشباع یعنی $V_{DS} > V_{GS}-V_T$ برقرار می‌شود، M_5 در اشباع قرار می‌گیرد، برای M_6

چون D و G در V_{DD} هستند، اشباع است یعنی:

$$\Rightarrow I_{D6(sat)} = I_{D5(sat)}$$

$$\Rightarrow \frac{k'_n}{2}\left(\frac{W}{L}\right)_6 (\overbrace{V_{DD}-V_Z-V_{T6}}^{V_{GS}})^2 = \frac{k'_n}{2}\left(\frac{W}{L}\right)_5 (\overbrace{V_{th}-V_{T05}}^{V_{GS}})^2$$

کمی سخت‌تر بنویسیم M_5 اثر بدنه ندارد ولی M_6 اثر بدنه دارد،

$$V_{T6} = V_{T0} + \gamma\left(\sqrt{|2\phi_F| + V_Z} - \sqrt{|2\phi_F|}\right)$$

$$\Rightarrow 3(5-V_Z - \left[1 + 0.4\left(\sqrt{0.6+V_Z} - \sqrt{0.6}\right)\right]^2 = (2-1)^2$$

$$\Rightarrow V_Z = 2.976\,V \xrightarrow{M_4\ \text{گیت}} V_{GS4} = 2 - 2.976 = -0.976\,V$$

بنابراین M_4 خاموش خواهد بود و حدس ما درست بوده است.

4) $V_{th} = 3.5V$ $\rightarrow$ یک ولت اضافه می‌کنیم تا M_4 روشن شود و برای اثر بدنه M_4 نیز حدود 0.5 ولت اضافه می‌کنیم ↑

Sunwood باز هم فرض می‌کنیم M_4 خاموش، روشن M_6, M_5

$\Rightarrow$ فرض: M_4: off, M_5: Triod

زیرا ولتاژ V_Z شروع به کاهش می‌کند. (قبلاً 3.5 بود درحالت قبل به حدود 3 رسید)

بنابراین حدس می‌زنیم M_5 در ناحیه تریود قرار گیرد و برای M_6 چون $V_{GS}=3.5$, $V_{DS_5}=3$

$\Rightarrow I_{D_5}(Triode) = I_{D6}(Sat)$ ← چون Sat و با D,G هم متصل اند همچنان

$\Rightarrow \frac{k'_n}{2}\left(\frac{W}{L}\right)_5 (2(\overbrace{V_{in}}^{V_{GS}} - V_{Ton})\overbrace{V_Z}^{V_{DS}} - V_Z^2) = \frac{k'_n}{2}\left(\frac{W}{L}\right)_6 (\overbrace{V_{DD}-V_Z}^{V_{DS}} - V_{T6})^2$

$\Rightarrow \rightsquigarrow \boxed{V_Z = 2.2V}$ ← با در نظر گرفتن اثر ترانزیستور M6

که ترانزیستور M_5 در ناحیه تریود است، فرض ما درست است.

$\hookrightarrow V_{GS_4} = 3.5 - 2.2 = 1.3V$ ← ولتاژ V_T دو تا بیشتر می‌شود

و وقتی از این ولتاژ بیشتر شود ترانزیستور M_4 روشن می‌شود، خروجی صفر خواهد شد پس مقدار ولتاژ آستانه ما همین مقدار 3.5 خواهد بود.

$\Rightarrow \boxed{V_{UT} \approx 3.5V}$

5) $V_{in} = 5V \Rightarrow M_4, M_5$: on, M_1, M_2: off $\Rightarrow \boxed{V_o = 0}$

$\Rightarrow M_3$: on

خواهد روشن شد، وارد اشباع می‌شود.

چون D,G هم متصل است

Subject: VLSI

Year. ۹۲ Month. ۸ Date. ۳۰ (۱۴۳

چون M_1, M_2 خاموش هستند، جریانی از M_3 عبور نمی‌کند و می‌توانیم V_y را حساب کنیم

$$\rightarrow I_{D3} = \frac{1}{2} k'_p \left(\frac{W}{L}\right)_3 (0 - V_y - V_{T3})^2 = 0 \rightarrow V_y = -V_{T3}$$

که ترانزیستور M_3 اثر بدنه هم دارد.

$$\rightarrow \boxed{V_y - V_{T3} = -(V_{T0p} - 0.4\sqrt{0.6 + V_{DD} - V_y} - \sqrt{0.6}) = 1.5V}$$

6) $V_{in} = 4 \rightarrow V_o = 0$

زیرا ممکن است M_1 روشن شود ولی M_2 همان خاموش است. پس همانند حالت قبل

خروجی در حالت قبل باقی می‌ماند، $V_o = 0$

7) $V_{in} = 3 \rightarrow M_1$: on, M_2: off, M_3: on — شرط اشباع

(ضعیف‌تر است)

و هر دو ترانزیستور M_3, M_1 وارد اشباع می‌شوند، یک جریان از هر دو می‌گذرد

$$I_{D1(sat)} = I_{D3(sat)} \rightarrow \boxed{V_y = 2.02\,V} \rightarrow V_{GS2} = 3 - 2.02 = 0.98\,V$$

(با در نظر گرفتن اثر بدنه) (پس فرض درست است.)

به دلیل ماندن حالت 4 مقدار خروجی را $1.5\,V$ قرار می‌دهیم.

8) $V_{in} = 1.5V \rightarrow M_1$: on, M_2: off $\rightarrow$

$$I_{D1(Triode)} = I_{D3(sat)} \rightarrow \text{(اثر بدنه)} \rightarrow \boxed{V_y = 2.79\,V}$$

Sunwood

چون V_y افزایش می‌یابد خروجی بیشتر کاهش می‌یابد و به نظر می‌رسد M_1 وارد تریود می‌شود.

$\rightarrow V_{GS_2} = 1.5 - 279 = -1.3V$

حال اگر از این مقدار ورودی را از مقدار 1.5 ولت کمتر کنیم حالا ترانزیستورهای M_1, M_2 روشن می‌شوند و M_4, M_5 خاموش خواهند شد و خروجی به مقدار V_{DD} خواهد رسید بنابراین ولتاژ آستانه پایین تر در حدود مقدار 1.5 ولت

$V_{LT} \approx 1.5\,V$

به دست می‌آید.

برای به دست آوردن حدود ولتاژ آستانه در اینجا کافی است فرض کنیم M_4 خاموش است، M_5, M_6 روشن که M_6 همیشه در اشباع و M_5 در تریود و قسمت بالاتر M_2 را خاموش، M_1 در تریود، M_3 نیز اشباع در نظر می‌گیریم تا حدود ولتاژی که خروجی است ترانزیستورهای روشن یا خاموش کند، سطح خروجی را تغییر دهد به دست می‌آید.

متعلق به NMOS

Subject: VLSI

Year. 9(Month. 9 Date. V (۱۴۵

۷

منطق شبه NMOS :

ویژگیهای منطق ملک :

- سادگی طراحی

- سادگی تحلیل

- ولتاژ تغذیه متغیر

- مدار استاتیک

- منطق : ratio less

- فقط گیتهای منطقی معکوس کننده بدست می آید (NOT ، NOR ، NAND ، ...)

- خازن ورودی گیتهای دوترانزیستور به ازای هر ورودی گیت n ورودی

- مکزیمم سوئینگ منطقی (VDD تا Vss)

- تلفات استاتیک ندارد. و فقط از گیتهای منطقی تلفات بوجود می آید.

ویژگیهای منطق ترانزیستور عبور / گیت انتقال :

- فراهم آوردن منطق معکوس کننده / غیر معکوس کننده (هم AND ، هم XNAND)

- سوئینگ منطقی کاهش یافته (اگر NMOS ، یک خوب منتقل نمی شود Sunwood

آو DMOS ، صفر خوب منتقل می شود)

Subject: VLSI

Year. ۹۶ Month. ۹ Date. ۷ ۱۳۹۶

۷

- عدم استفاده از یک PT جهت راه اندازی PT دیگر
- امکان وقوع Hazard در صورت عدم طراحی درست (مخصوص مدارات ترتیبی)
- یک مالتی پلکسر $2^n \times 1$ به تعداد $(2^{n+1}-2)$ عدد PT و n تا اینورتر نیاز دارد
(به لحاظ حجم بحث افزاری)

ویژگی های T-Gate

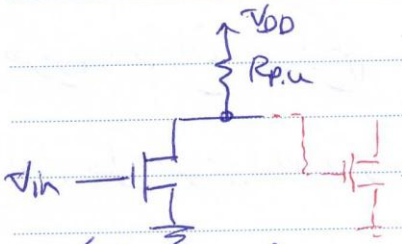
- سوییچ با سوئینگ منطقی ماکزیمم
- تعداد ترانزیستورهای مورد نیاز منطق PT
- نیاز به سیگنال های کنترل T-Gate
- خازن ورودی بیشتر از PT
- توان تلفاتی بیشتر از PT

منطق شبه NMOS — Pseudo NMOS Logic

المینت می توان شبه PMOS هم داشته باشیم . یک منطق open collector یا open Drain

~~دارایم که مدار تقریبا مشابه است و یک مقاومت pull از بیرون به مدار وصل می کردیم~~

Sunwood



که مدار شبیه به اینورتر با بار مقاومتی می‌شود که یک نیتی بین R_{pu} مقاومت و کانال وجود دارد که باید V_{OL} خوبی بدهد. یک ترانزیستور مشابه راه‌اندازی کند

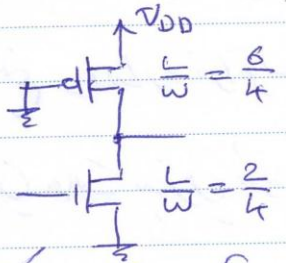
بنابراین،

$$V_{th} = V_{OH} \rightarrow V_{OL} = V_{DD} \cdot \frac{R_{ch}}{R_{p.u}+R_{ch}} < \overbrace{V_T}^{0.2V_{DD}}$$

$$\rightarrow R_{ch} < 0.2(R_{p.u}+R_{ch}) \rightarrow \boxed{\frac{R_{p.u}}{R_{ch}} \geq 4} \rightarrow \boxed{5 \sim 10}$$

با این منطق open drain و کنترل‌هایی که بررسی ترانزیستور گ قرار می‌دادیم، می‌توانیم خروجی چندین منطق یا ترانزیستور open drain را هم متصل کنیم. کاری که در منطق مکمل نمی‌توانیم انجام دهیم. زیرا باعث عبور جریان شدید از ترانزیستورها می‌شود.

عدد نسبت $\frac{R_{pu}}{R_{ch}}$ حدوداً بین ۵ تا ۱۰ قرار می‌دهیم. می‌دانیم مقاومت و یک عضو همیشه روشن است و برای اینکه Swing کامل داشته



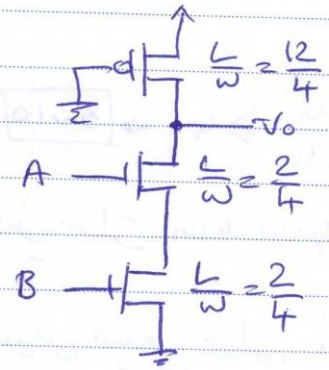
باشیم، خروجی به V_{DD} برسد، از ترانزیستور دیگر آن استفاده کنیم. چون PMOS یک راحب متصل می‌کند از آن استفاده می‌کنیم، چون می‌خواهیم همیشه روشن باشد، کلیت آنرا به زمین متصل می‌کنیم. پس دار NMOS است دیگر بار مقاومتی یک PMOS قرار می‌دهیم. و

هرکدی را می‌توانیم بسازیم . این منطق نیز برخلاف منطق قبل ، Ratioed است

یعنی منطق خروجی به ابعاد ترانزیستورها بستگی دارد بنابراین $\frac{L}{W}$ ترانزیستور PU را ۳ برابر

بیشتر می‌گیریم تا ریط 5 تا 10 یعنی 7.5 بدست آید

فرض می‌کنیم می‌خواهیم یک NAND دو ورودی با کمک این منطق بسازیم :



منطق NAND را با شبکه PD می‌سازیم و فقط

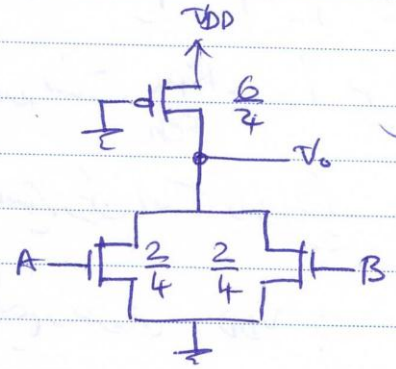
به عنوان مقاومت بار از یک PMOS استفاده می‌کنیم

برای

و $\frac{L}{W}$ ترانزیستور PU با توجه به مقادیر $\frac{L}{W}$ ترانزیستورهای PD

$$\left(\frac{L}{W}\right)_{PU}=3\times\left(\frac{2}{4}+\frac{2}{4}\right)=\frac{12}{4}$$

برای ساختن منطق NOR خواهیم داشت :



یعنی با ترانزیستورهای PD منطق را پیاده سازی

می‌کنیم و اندازه ترانزیستور PU را با توجه به اینکه

در این حالت بدترین شرایط وقتی است که یکی از

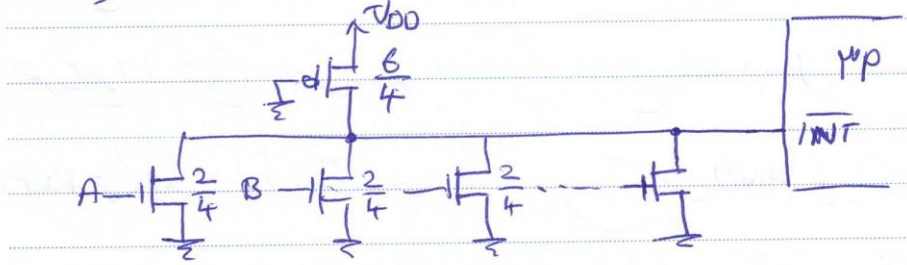
ترانزیستورهای PD روشن باشد برابر با ۳ برابر اندازه یکی در نظر می‌گیریم یعنی

$$\left(\frac{L}{W}\right)_{PU}=3\times\left(\frac{L}{W}\right)_{PD}=3\times\frac{2}{4}=\frac{6}{4}$$

ویژگیهای منطق شبه NMOS

- Ratibed Logic ابعاد ترانزیستورها باید درست انتخاب شود
- تلفات توان استاتیکی وقتی که خروجی صفر است. (یک جریان از V_{DD} تا زمین وجود دارد) (وقتی خروجی صفر است)
- n+1 ترانزیستور برای گیتهای n ورودی
- سوئینگ منطقی کاهش یافته
- ظرفیت خازن ورودی یک ترانزیستور برای هر گیت n ورودی (خازن گیت)
- امکان سیم بندی Hard wired منظور بستن خروجی چند گیت به یکدیگر می باشد

فرض کنید می خواهیم منطقی را طراحی کنیم و سپس به پایه INT میکرو را با آن فعال کنیم. اگر بخواهیم چندین مدار امکان فعال کردن INT را داشته باشند می توانیم هر وسیله را با یک ترانزیستور و فقط یک ترانزیستور P.U به پایه مذکور متصل کنیم.



با اضافه کم شدن یک وسیله، در ابعاد مدار تأثیر گذار نیست. نیاز نیست $\frac{1}{10}$ ترانزیستور P.U را تغییر دهیم. (ساختار تحت افزار مدار تغییر نمی کند)

چون منطق NOR است، اگر فقط دو سیم بایاس، سلول ۶ ترانزیستور

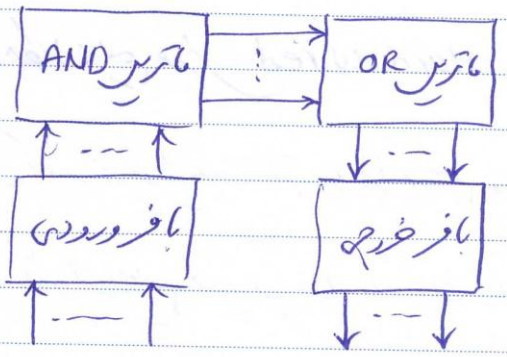
P.L مقدار $\frac{6}{4}$ خواهد بود اگر بعداً تعداد سیم دیگر اضافه شود، ۶ ترانزیستور

P.L همان مقدار $\frac{6}{4}$ باقی می‌ماند و نیاز به تغییر نیست

به دلیل ویژگی بالا این امکان وجود دارد که آرایه‌ای قابل برنامه‌ریزی درست

بزرگ (مانند PLA) ؛

آرایه‌ای قابل برنامه‌ریزی ؛ Programable Logic Array



شکل کلی این آرایه‌ای از یک

سری ماتریس‌های AND, OR

تشکیل شده است که بافر ورودی

به ماتریس AND متصل می‌شود و

خروجی‌ها از طریق بافر خروجی از طریق ماتریس OR متصل می‌کند که شبیه حافظه‌ی

ROM می‌باشد. و تفاوت در برنامه‌پذیری ماتریس AND یا ماتریس OR می‌باشد.

نحوه ساخت مدار توسط این آرایه‌ای توسط مثال زیر تشریح می‌شود:

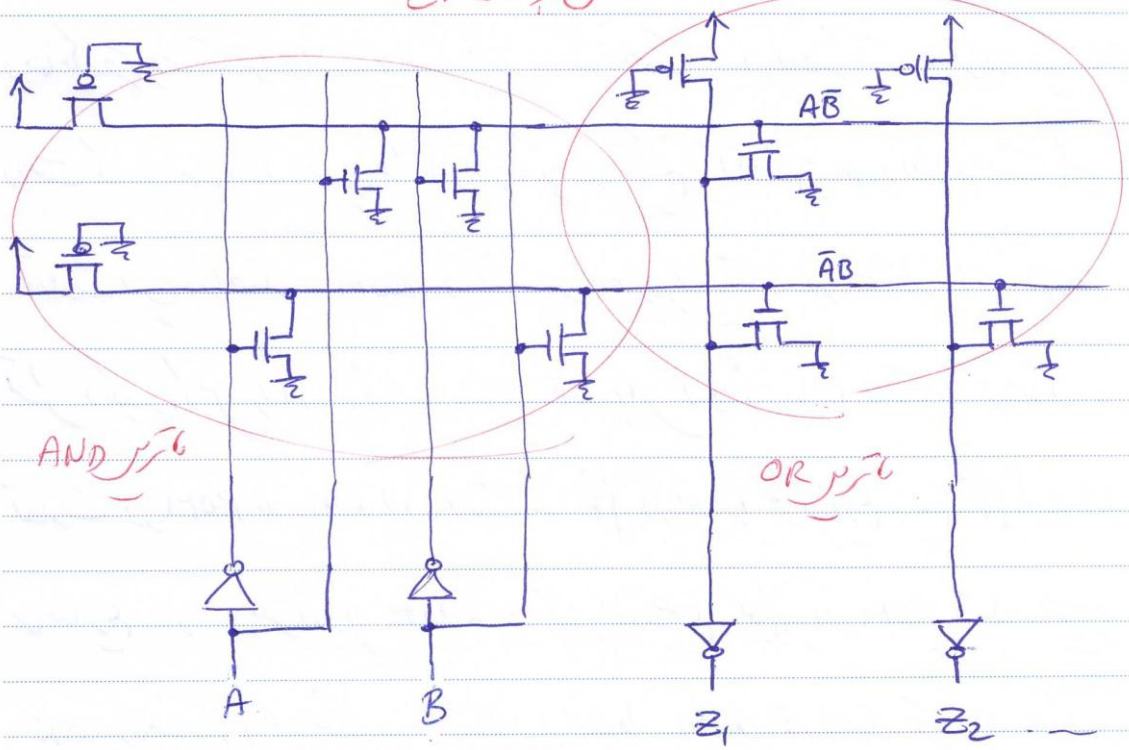
مثال: می‌خواهیم منطقهای زیر را بسازیم:

$Z_1 = A\bar{B} + \bar{A}B = \overline{\overline{A\bar{B}}} + \overline{\overline{\bar{A}B}} = \overline{(\bar{A} \oplus B)} + \overline{(A \oplus \bar{B})}$

$Z_2 = AB = \overline{\overline{AB}} = \overline{\bar{A} + \bar{B}}$ ← باید هر AND را به یک NOR تبدیل کنیم.

$Z_3 = A + B$

$Z_4 = AB + \bar{A}\bar{B}$ ← با ترانزیستور AND پیاده‌سازی کنیم و سپس با ترانزیستور OR منطقی به هم متصل کنیم.



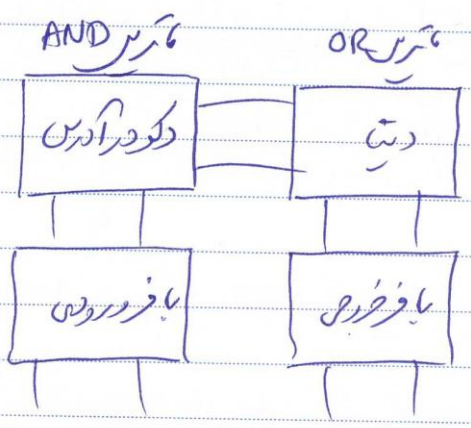
ورودیها را به صورت بالا استفاده می‌کنیم تا هم A, B را داشته باشیم و هم $\bar{A}, \bar{B}$

Subject: VLSI

Year. ۹۲ Month. ۹ Date. ۷ ۱۳۹۲

۷

حافظه‌ی PAL ...



حافظه

حال می‌توانیم در همه سطرهای رسوزنی یک ترانزیستور وارد کنیم یا نکنیم به همراه یک فیوز. در جایی که نیازی به ترانزیستور نیست می‌توان فیوز را سوزاند و جایی که قرار است ترانزیستور باشد، فیوز را نگه داشت. در این صورت می‌توان یک IC داشت که با سوزاندن فیوزهای آن را برنامه‌ریزی کنیم تا منطق مورد نظر به دست آید. تفاوت این ساختار با ROM در نحوه برنامه‌ریزی است. در حافظه ماتریس AND نقش دیکودر آدرس را بازی می‌کند و ماتریس OR برای گذاشتن دیتا استفاده می‌شود. تفاوت در ROM با PAL این است که تمام آدرس‌ها را می‌گذاریم. یعنی تمام آدرس‌ها را می‌سازیم و در هر آدرس Sdata را قرار می‌دهیم یعنی در ROM فقط ماتریس OR برنامه‌ریزی می‌شود. حال اگر در خطوط data همه اعداد قرار داده شود، فقط ماتریس AND برنامه‌ریزی شود به این قطعه PAL می‌گوییم.

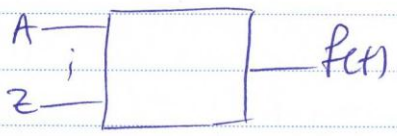
Sunwood

Subject: VLSI

Year. ۹۲ Month. ۹ Date. ۷ (۱۷۲

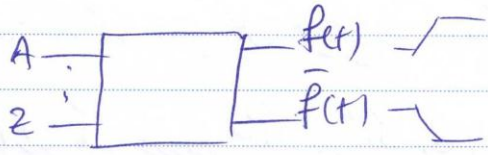
تا اینجا تا کنون منطق‌ها بررسی شدند فقط یک خروجی داشت که اصطلاحاً به آنها

Single Rail Logic گویند:



حال اگر به گونه‌ای مدار را طراحی کنیم که هم خروجی f و هم $\bar{f}$ را داشته باشیم به آنها

Doual Rail Logic گویند



نکته‌ای که وجود دارد این است که اگر

از f و $\bar{f}$ استفاده می‌کنیم می‌توانیم تصمیم‌گیری‌ها (تغییر از صفر به یک یا برعکس) را

با سرعت بالاتری انجام دهیم. یعنی وقتی f صعودی می‌کند، $\bar{f}$ نزولی می‌کند پس داریم:

$$\frac{dv_o}{dt} = \frac{d(f-\bar{f})}{dt} = 2\frac{df}{dt} \quad \rightsquigarrow \quad d\bar{f} = -df \text{ زیرا}$$

که هم در مدارهای استاتیک و هم در مدارهای دینامیک قابل استفاده است

این منطق‌ها به گونه‌ای است که با توجه به ورودی‌ها هم f و هم $\bar{f}$ داشته باشیم و خروجی‌ها

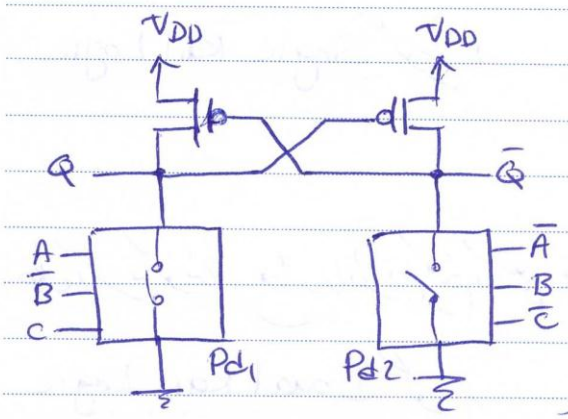
بتوانند همدیگر را تحت تأثیر قرار دهند

منظور این نیست که $f \rightarrow \bar{f}$ زیرا این حالت همان Single rail

است ولی در Doul Rail خروجی‌ها هم اثر می‌گذارند و سرعت بالاتری دارد

Sunwood

DCVSL Differential Cascode Voltage Switch Logic



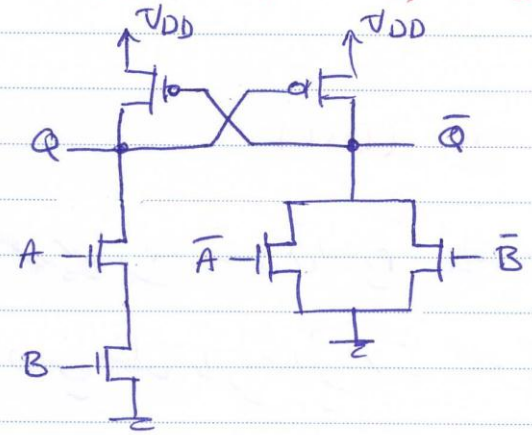
یکی از مدارات Dual rail مدار فوق می‌باشد که از دو شبکه سوئیچ تشکیل می‌شود که باید فکل یکدیگر باشند و اگر به ازای یک ورودی مثلاً در شبکه Pd1 سوئیچ بسته است، به ازای همین ورودی فکل آن در شبکه Pd2، سوئیچ باز خواهد بود (و برعکس) حال برای اینکه سرعت تغییرات خروجی را افزایش دهیم، بارهای PMOS را قرار می‌دهیم و خروجی هر شبکه را به بار دیگری متصل می‌کنیم (شکل فوق) (ایده این مدارات افزایش سرعت بود)

تلفات توان ایستا ندارد. مانند منطق فکل فرض کنید Q=0, Q̄=1 باشد در این صورت ترانزیستور چپ خاموش و هیچ جریانی از شاخه چپ عبور نمی‌کند. از طرفی ترانزیستور سمت راست روشن است و چون کلید شبکه Pd2 قطع است، باز هم جریانی از مدار عبور نمی‌کند، یعنی تلفات ایستا ندارد. و فقط تلفات در حالت دینامیک

Q, $\bar{Q}$ کاملاً متقارن هم نمی باشند زیرا مدارگیر Pd دقیقاً شبیه هم نسبت مدار متصل نیست، و Q و $\bar{Q}$ به لحاظ زمانی لزوماً یکسان تغییر نمی کنند.

برای طراحی یک مدار، ابتدا شبکه منطقی Pd را بصورت مکمل طراحی می کنیم و سپس ترانزیستورهای PMOS را می گذاریم و خروجیها را به کلیت PMOS ها متصل می کنیم.

مثال: مدار NAND (یا AND) چون خروجیها مکمل وجود دارند هر دو مدار به راحتی



در این مثال شبکه Pd سمت چپ به ما منطق $\bar{A}\bar{B}$ را می دهد ($Q=\bar{A}\bar{B}$)

پس برای شبکه Pd سمت راست باید از مکمل مدار چپ یعنی یک مدار موازی کد

مقدار $\bar{Q}$ را بسازد (دو ترانزیستور سری تبدیل به دو ترانزیستور موازی می شود)

ورودی مدار Pd سمت چپ A, B و ورودی مدار Pd سمت راست $\bar{A}$, $\bar{B}$ خواهد بود.

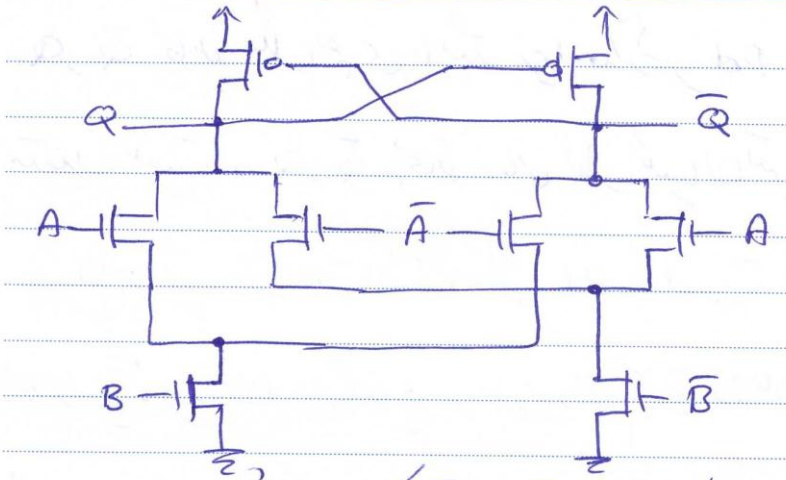
هانگزنه که در این مثال می بینیم مشخصات مدارهای P_{Pd} ترانزیستورها و ابعاد اندازه تقاطعها که از خود نشان می دهند زمان نزول و صعود دقیقاً یکسان نیستند

برای تبدیل مدار فوق به OR کافی است A به $\bar{A}$، B به $\bar{B}$ تغییر کند

Sunwood

Subject: VLSI

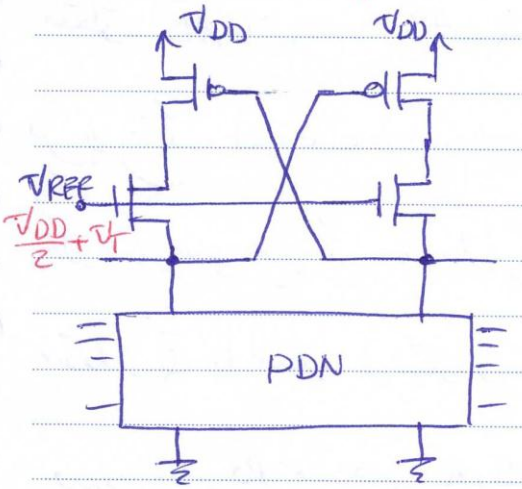
Year. 9C Month. 9 Date. V ۱۷۹



این مدار یک مدار EOR / ENOR است که دیده می‌شود.

55

Differential Split Level Logic (DSL)



خروجی‌ها Q و $\bar{Q}$ را کم نداریم تا V_{DD} بالا برود.

در این منطق برای افزایش سرعت و کاهش توان سطح یک منطقی را کاهش می‌دهیم و سگنال کم نداریم تا V_{DD} ولت برسد و سگنال 3 تا ولت کاهش می‌دهیم (خروجی Q)

سگنال اگر بخواهیم خروجی تا $\frac{V_{DD}}{2}$ کاهش یابد می‌توانیم V_{REF} را برابر مقدار $\frac{V_{DD}}{2}+V_T$ قرار دهیم تا مقاومتی بار در ولتاژ کمتر تغییر وضعیت دهند

حسن این مدار این است که ولتاژ DS روی ترانزیستورهای شبکه PD کمتر می‌شود.

با بالا رفتن ولتاژ DS ترانزیستور وارد ناحیه شکست می‌شود Punch throgh

بنابراین ولتاژهای ترانزیستور را به گونه‌ای در نظر می‌گیریم که ترانزیستور وارد ناحیه شکست نشود

با پایین آمدن ولتاژ DS ترانزیستورها می‌توان از ترانزیستورهای با ولتاژ شکست کوچکتر استفاده نمود. که در این مدارات با کم کردن سطح منطقی، اولاً ولتاژهای روی ترانزیستورها پایین می‌آید، و می‌توان از ترانزیستورهای با ولتاژ شکست کمتر استفاده نمود

که این منطق مدل بهبود یافته DCVSL است. ولتاژ خاصی یافته به دلیل بهبود مشخصه انتقال مدار است

- استفاده از منبع تغذیه دیگر که باعث افزایش توان مصرفی می‌شود
- امکان استفاده از ترانزیستورهای با ولتاژ شکست پایین تر وجود دارد

که ویژگیهای مدار DSL می‌باشد.

یکی از منطق‌های Dual rail، با استفاده از منطق PT است که منطق NAND را ایجاد کنیم و تعداد ترانزیستورها را کم کنیم که چون هر دو منطق Q و $\bar{Q}$ را می‌خواهیم

دانسته باشیم به آن CPL گویند.

Subject: VLSI

Year. ۹۶ Month. ۹ Date. ۷ ۱۳۹۸

۷

CPL Complementary Pass Transistor Logic

در این منطق می‌توانیم خروجی مدار را داشته باشیم،

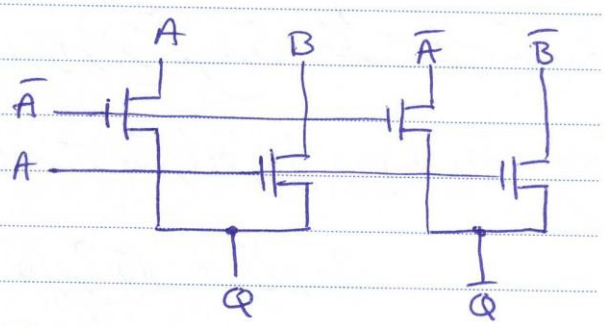
همانند PT، از ورودی‌ها هم به عنوان ورودی و هم به عنوان کنترل استفاده می‌کنیم

و به کمک آنها هم Q و $\bar{Q}$ را می‌سازیم. سپس Q و $\bar{Q}$ را به یک ترانزیستور PMOS

می‌دهیم. خروجی‌ها به صورت زیر را برای استفاده به دست می‌آوریم:

مثال: AND/NAND

A	B	AND	NAND
0	0	0	1
0	1	0	1
1	0	0	1
1	1	1	0



از یک ورودی به عنوان کنترل استفاده می‌کنیم

و از ورودی هم به عنوان کنترل و هم ورودی استفاده می‌کنیم.

مثلاً وقتی A صفر باشد خروجی باید صفر باشد (یعنی خود A) پس یک ترانزیستور با کنترل $\bar{A}$

داریم که A را به Q می‌رساند و وقتی A=1 باید B در خروجی باشد پس یک ترانزیستور با

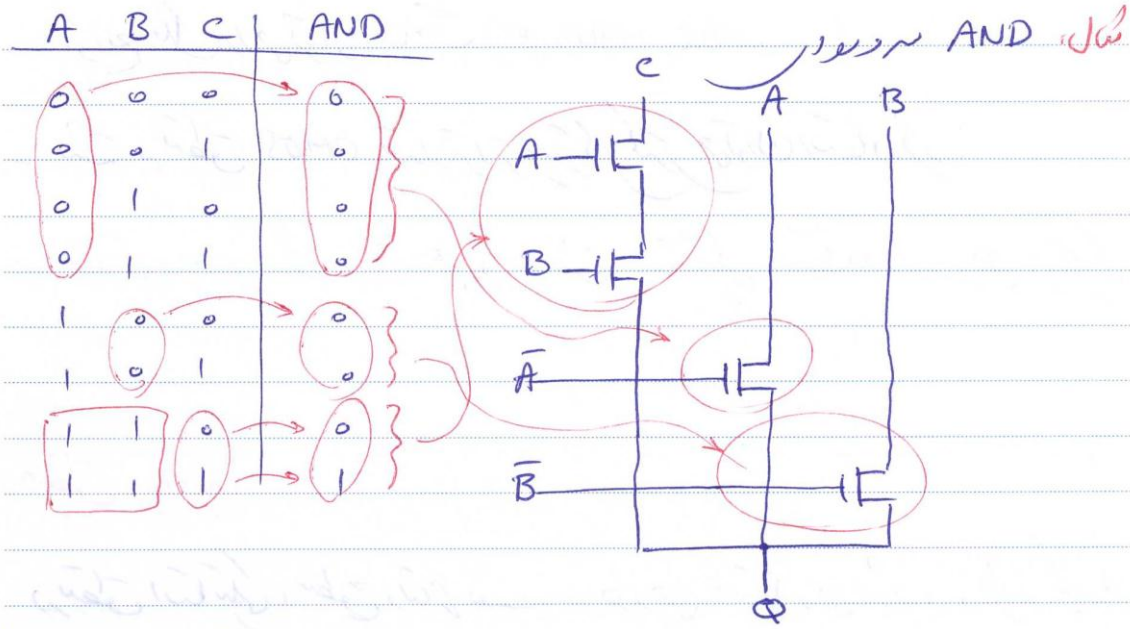
کنترل A داریم که B را به Q می‌رساند (پست چپ و راست) برای $\bar{Q}$ به طریق مشابه

Sunwood

Subject: VLSI

Year. 9۴ Month. 9 Date. ۷ (۱۷۹

مثال: پیاده سازی AND سه ورودی



برای NAND نیز کافی است A, B, C را به Ā, B̄, C̄ تغییر کنند تا Q به دست آید.

ویژگی‌های CPL عبارتند از PT:

- هم سری بیت، هم سری D سلول‌های ورودی را قرار می‌دهیم. از VDD, VSS استفاده نمی‌شود.
- ورودی‌ها و خروجی‌ها همیشه نرمال هستند.
- مسئله صفر و یک ضعیف هم چنان وجود دارد.

می‌توان از ترانزیستورهای PMOS به عنوان بار یا اینورتر برای بالا بردن خروجی استفاده کرد.

حسن این منطق:

- توابع مثل را می‌توان ساخت (هم NAND، NOR، ...)

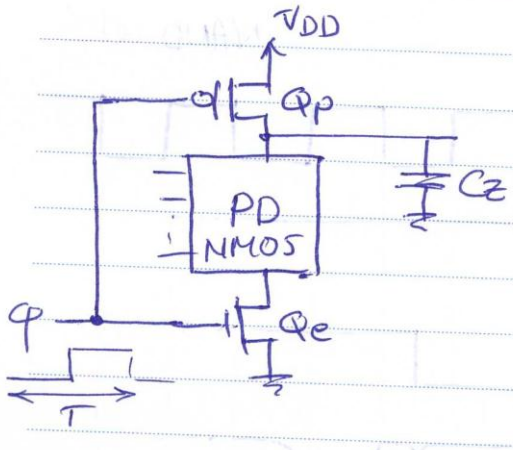
- نسبت به منطق CMOS تعداد ترانزیستورهای کمتری می‌توان استفاده کرد

ساختاری معرفی شد که فوق هم در منطق استاتیکی استفاده دارد و هم دینامیکی.

منطق دینامیکی:

در منطق استاتیکی، سطوح ولتاژ تغذیه به خروجی متصل می‌شود و وظیفه نگهداری اطلاعات در خروجی توسط ترانزیستور انجام می‌شود. روشن شدن V_{DD} یا V_{SS} را متصل می‌کند و تا نخواهیم منطق عوض نمی‌شود

ولی در منطق دینامیکی برای اینکه کنترل داشته باشیم، شبکه pd را انتخاب می‌کنیم و از ۲ ترانزیستور برای ذخیره دینامیکی خازن خروجی و کنترل آن استفاده می‌کنیم. و آنها را با ساعت ϕ کنترل می‌کنیم (Q_p، Q_e)



ترانزیستوری مدار بصورت زیر است.

Qp: ترانزیستور پیش شارژ (precharge)

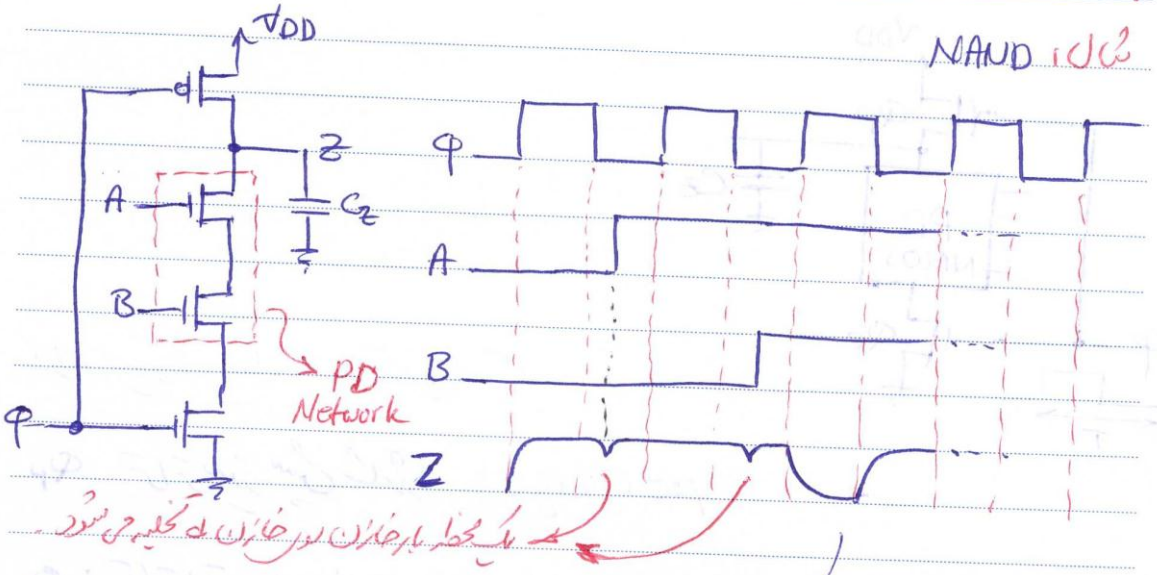
Qe: ترانزیستور ارزیابی (evaluation)

PD: شبکه NMOS در نظر می‌گیریم.

وقتی φ صفر باشد Qp روشن و Qe خاموش است، بنابراین مدار در فاز پیش شارژ است و خازن تا VDD شارژ می‌شود. (منطق شبکه PD اهمیت ندارد)

وقتی φ یک شود Qe روشن و Qp خاموش است. بنابراین مدار در فاز ارزیابی می‌رود و بنا به منطق شبکه PD یا خازن دشارژ می‌شود و یا در همان حالت شارژ باقی می‌ماند. یعنی اگر منطق به گونه‌ای بود که سرنیچهای آن وصل شدند، خازن شارژ می‌شود و اگر به گونه‌ای بود که سرنیچهای آن قطع بودند، خازن سطح خودش را حفظ می‌کند (اطلاعات Data بر خازن می‌باشد)

Sunwood

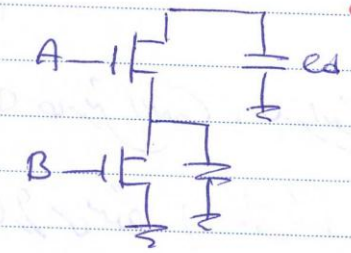


NAND مدار

یک مخل بار خازن بین خازن ها تخلیه می شود.

چون هم B, A هردو یک هستند خازن دشارژ می شود

charge sharing



بار خازن

$$Q = C_z \cdot V_{DD} = (C_z + C_d) V_z \rightarrow V_z = V_{DD} \cdot \frac{C_z}{C_z + C_d}$$

تغییر A در سیگنال

به دلیل خاموش شدن ترانزیستور A

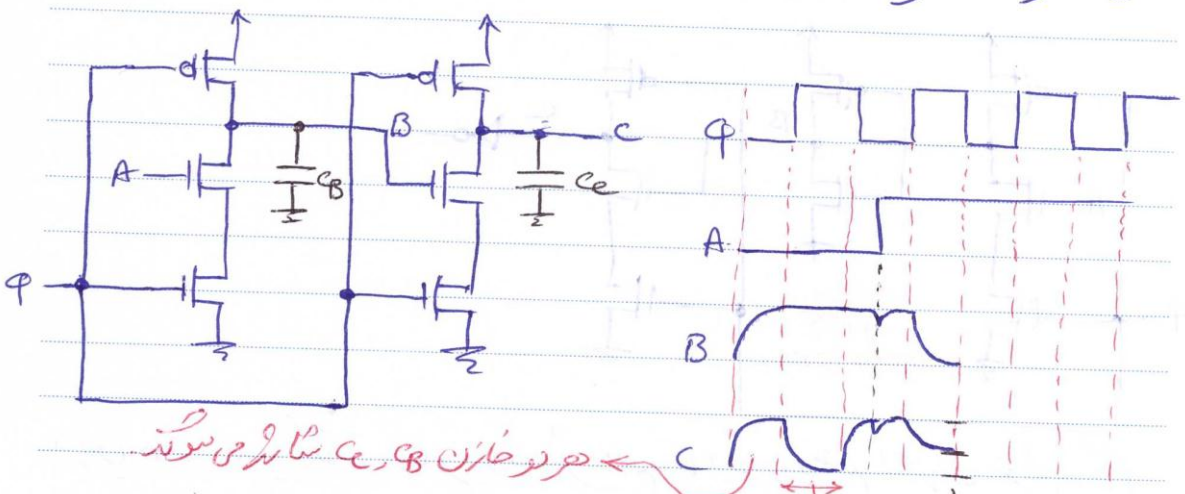
انجام می گیرد که اگر تعداد بار صورت بگیرد چون Q_P ثابت است دوباره خازن V_{DD}

شارژ می شود. و اگر در فاز ارزیابی بود خازن دشارژ می شد، منطق عوض می شد

ویژگیهای منطق دینامیکی

- به حداقل ولتاژ پایین ساعت نیاز است. (ولتاژ باید اجازه بدهد ساعت از ترانزیستورهای رد شود)
- ظرفیت خازنی یک ترانزیستور برای هر ورودی گیت n ورودی
- یک گیت n ورودی به n+2 ترانزیستور نیاز است.
- تأخیر انتشار شامل زمان پیش شارژ هم می‌شود.
- توان تلفاتی کم، ولتاژ خروجی rail است.
- نمی‌توان آنها را بصورت متوالی بست (مشکل)

فرض کنید دو اینورتر پشت سر هم بسته شوند:



هر دو خازن C_B و C_C شارژ می‌شوند

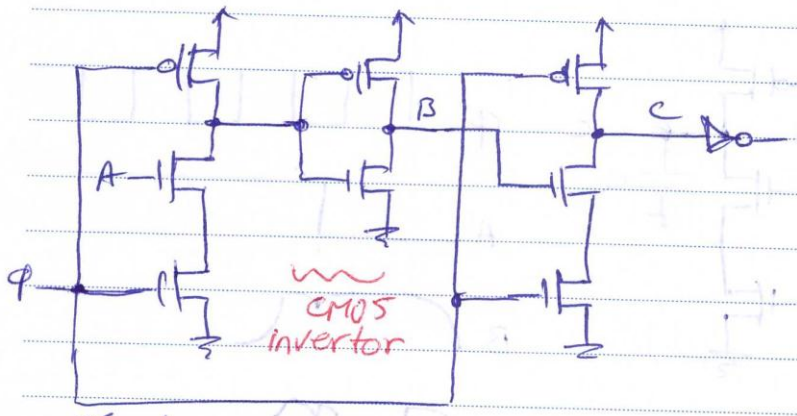
مقدار این ولتاژ نشان دهنده اعتبار خروجی می‌باشد.

C_C دشارژ می‌شود تا مقدار صفر

در فاز پیش شارژ اول هر دو خازن شارژ می شوند، در فاز ارزیابی چون A=0 خروجی B تغییر نمی کند ولی C دشارژ می شود، C=0 در فاز پیش شارژ دوم دوباره هر دو شارژ می شوند (A=1, B=1) در فاز ارزیابی A=1 و خازن B شروع به دشارژ می کند و طول می کشد تا اثر بیشتر طبقه دوم را خاموش کند بنابراین خازن C نیز شروع به دشارژ شدن می کند تا اثر بیتر خاموش شود و بتواند همان سطح باقی می ماند.

برای برطرف کردن مشکل باید ارزیابی طبقه دوم بعد از اتمام ارزیابی طبقه اول انجام شود. همین دلیل به این منطق Domino Logic گویند.

برای تبدیل مدار قبل به Domino Logic، کافی است یک اینورتر استاتیک بین هر طبقه قرار دهیم (ساده ترین روش)

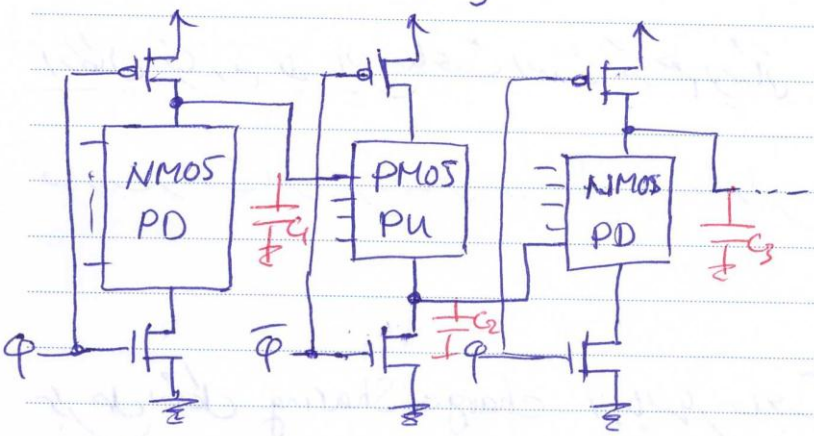


در این حالت باید اگر دقت کنید زمان را کافی دهیم تا اجازه دهیم ارزیابی هر طبقه تمام شود و ارزیابی طبقه بعد شروع شود.

Subject: VLSI

Year. 9C Month. 9 Date. V ۱۸۵

یک راه دیگر برای برطرف نمودن مشکل بجای استفاده از اینورتر می‌توان در طبقه بعد از یک شبکه P.U و PMOS استفاده کرد و مشکل مدار بصورت زیر درخواهد آمد زیرا استفاده از گیت اینورتر CMOS باعث افزایش سطح اشغال شده می‌شود.



آخر خازنهای مدار برای هر طبقه بصورت نشان داده شده در شکل باشد. وقتی $\phi=0$ در اینجالت خازنهای خروجی طبقات فرد پیش شارژ و خازنهای خروجی طبقات زوج پیش دشارژ می‌شود. (زیرا طبقات زوج به $\bar{\phi}$ متصل شده است) در فاز ارزیابی یعنی $\phi=1$ پس $\bar{\phi}=0$ ترانزیستور P طبقه اول خاموش و ترانزیستور n طبقه اول تیز خاموش و روشن شدن ترانزیستور n در زمانی اتفاق می‌افتد که خازنها به اندازه کافی دشارژ شده باشد

Sunwood

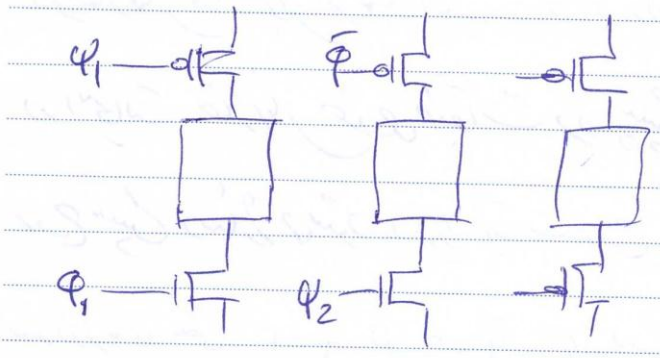
- از گیت not استاتیک استفاده می‌شود (حس)

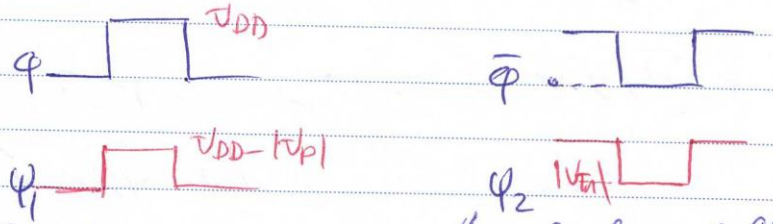
ایرادگال نیازمند طراحی پایین باعث است که هم پیچیدگی نداشته باشد که نیازمند مدارات و سخت افزار اضافی می‌باشد که پایه‌های ساعت را بسیارد.

برای حل مشکل charge Sharing از پایه‌های ساعت با سطوح ولتاژ مختلف استفاده می‌کند.

مدار Zipper

سلول برای φ و $\bar{\varphi}$ بصورت زیر سطوح ولتاژ را تغییر می‌دهند.





یعنی ترانزیستورهای را در آشکارساز برای سلول نگه می‌دارند تا اگر پدیده فرق اتفاق

افتاد. بتوانند حالت ترانزیستور را برای کنترل سلول برطرف نمود.

Subject: VLSI

Year. ۹۲ Month. ۹ Date. ۱۴ (INV

Domino Logic با عرضه‌ی جدید

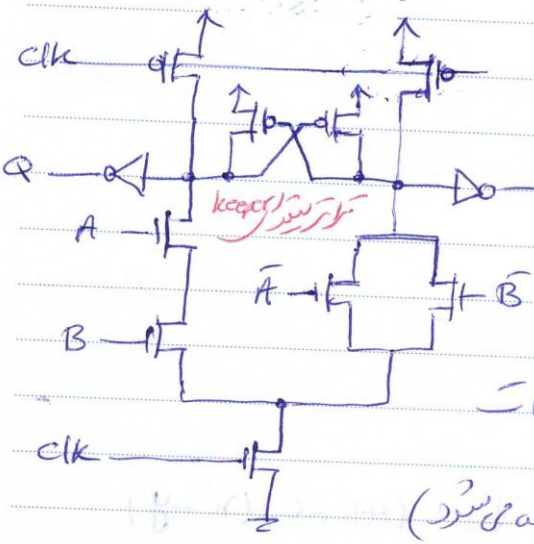
مدار AND (NAND) را می‌توان با منطق Dual rail ساخته شود که برای حل مشکل $\bar{Q}$

keeper از ترانزیستور charge sharing

استفاده کنیم تا تغییرات مربعی انجام شود و مشخصات

Switching بهتر می‌شوند (در میکروها زیاد استفاده می‌شود)

یک امکان برای راپیش خروجی در Domino فراهم می‌کند



Multiple Output Domino Logic (MODL)

اگر مدارهایی با توابع

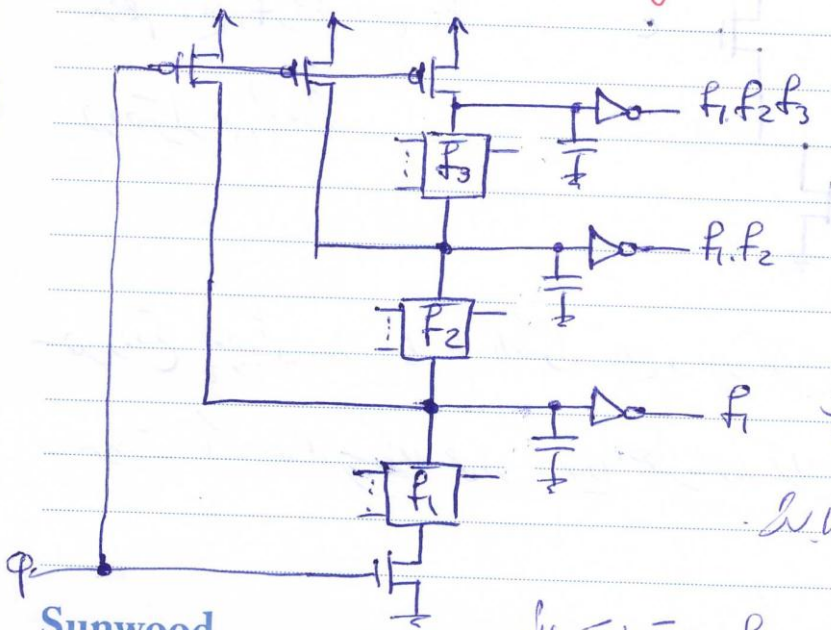
$f_1, f_2, \ldots, f_n$

داشته باشیم به صورت

روبرو باشد به این صورت

اگر تابع اصلی $f_1 f_2 f_3$ باشد

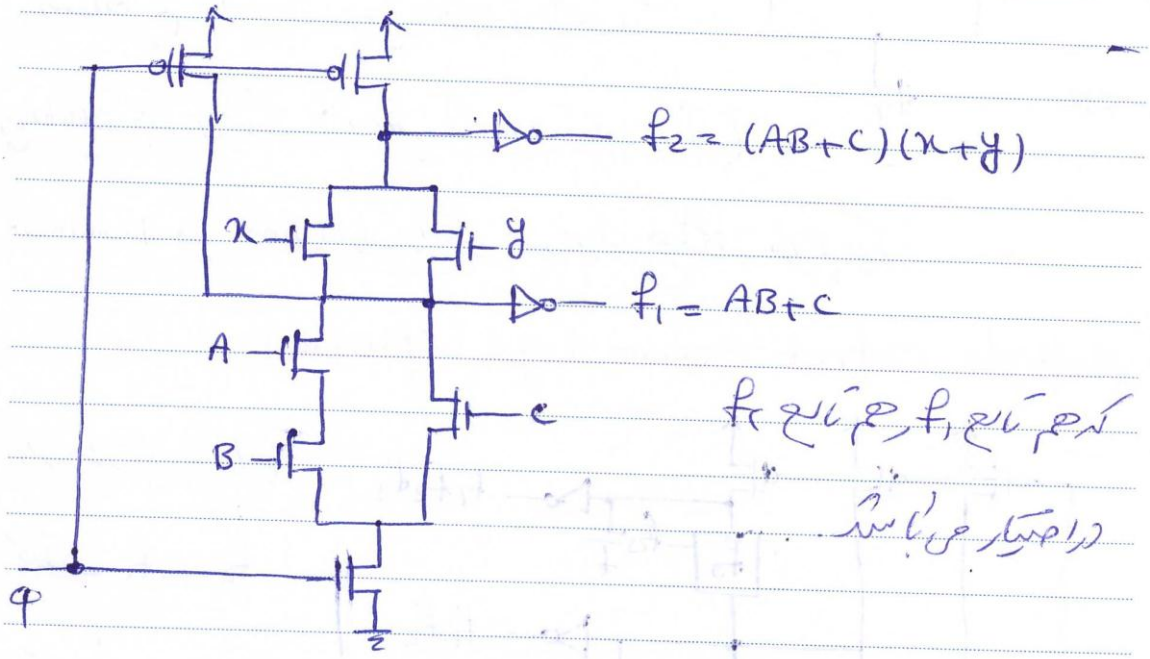
می‌توانیم از توابع $f_1 f_2$ و f_1 را نیز داشته باشیم



Sunwood

با استفاده از اینورتر دینامیک، مدار تبدیل به یک مدار Domino می‌گردد (Domino = یک مدار دینامیک + یک اینورتر استاتیک)

به عنوان مثال مدار زیر را در نظر بگیرید:



که هم تابع f_1 و هم تابع f_2 را می‌سازد.

- در واقع پیچیدگی مدار را با داشتن تابع و رسم کوایح کاهش می‌دهیم.
- سرعت یک مقدار بالا می‌رود زیرا همزمان کوایح تودرتو خواهیم داشت

Subject: VLSI

Year. 9C Month. 9 Date. 12 1389

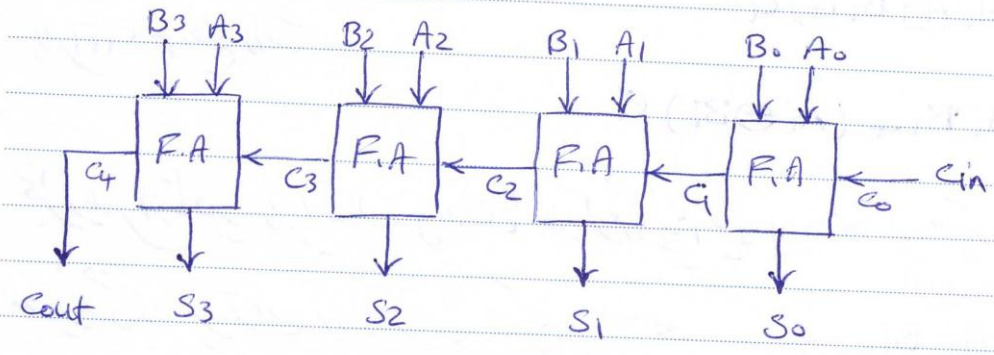
یکی از جاهایی که این روش استفاده می‌شود در جمع کننده‌ی است که Carry را در آنها جمع می‌کردیم.

سلول برای یک جمع کننده چهارتایی مدار مورد نظر بصورت زیر خواهد بود.

که یک جمع کننده موجی است.

Ripple Carry Adder

جمع کننده



در این جمع کننده خروجی c_1 جمع کننده‌ی تمام با تأخیر آن اعتبار پیدا می‌کند و c_1 بر روی F.A نوبت اثر می‌گذارد و بدین c_2 معتبر می‌شود و همین ترتیب تا آخرین F.A. یعنی تأخیر کل متناسب با تأخیر یک F.A تا بیت Cout بر A,B و تأخیر یک FA و برای هر FA تأخیر Cin بر Cout و Cin بر S.

$$T_{adder} \cong T_{FA}(A,B \rightarrow C_{out}) + (N-2)\,T_{FA}(C_{in} \rightarrow C_{out}) + T_{FA}(C_{in} \rightarrow S)$$

می بینیم که تأخیر کل به چه عواملی بستگی دارد.

برای افزایش سرعت جمع کننده یک روش دیگر را نظر می گیریم که به عنوان جمع کننده با پیش بینی بیت Carry نامیده می شود.

Carry Lookahead Adder

برای S_i داریم:

EXOR XOR

$$S_i = A_i \oplus B_i \oplus C_i$$

برای C_{i+1} خواهیم داشت

$$C_{i+1} = A_i B_i + (A_i \oplus B_i) C_i$$

بخش زیادی از تأخیر برای ایجاد Carry و Sum باید صبر باشد تا ورودی Carry معتبر شود. بر توابع زیر را تعریف می کنیم ←

Generation تابع

$$G_i = A_i \cdot B_i$$

Propagation تابع

$$P_i = A_i \oplus B_i$$

$$\rightarrow \boxed{C_{i+1} = G_i + P_i \cdot C_i}$$

منظور این است که زودتر می خواهیم Carry بیت بعدی را حساب کنیم.

$$C_1 = G_0 + P_0 C_0$$

C_1 به G_0 و P_0 وابستگی دارد و C_0 نیز آماده است. برای C_2 داریم:

$$C_2 = G_1 + P_1 C_1 = G_1 + P_1 (G_0 + P_0 C_0) = G_1 + P_1 G_0 + P_1 P_0 C_0$$

قبلی وابسته نیست

Sunwood ~~Carry~~ که باز هم می بینیم که C_2 نیز فقط به ورودی ها وابسته است.

Subject: VLSI

Year. 9C Month. 9 Date. 12 (191

۷

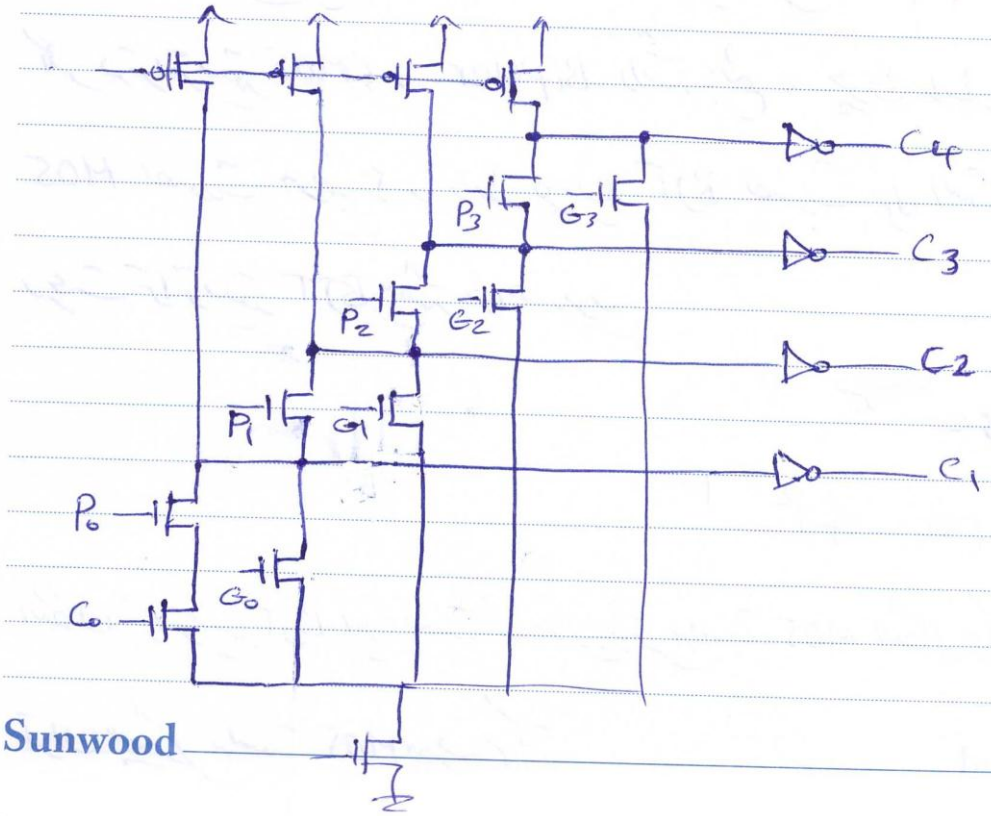
یعنی Carry نوع از دوره‌ی بعدی است و آنی (سیگنال) می‌شود

$$C_3 = G_2 + P_2 C_2 = G_2 + P_2 G_1 + P_2 P_1 G_0 + P_2 P_1 P_0 C_0$$

برای Carry خروجی نیز داریم:

$$C_4 = G_3 + P_3 C_3 = G_3 + P_3 G_2 + P_3 P_2 G_1 + P_3 P_2 P_1 G_0 + P_3 P_2 P_1 P_0 C_0$$

اگر نگاه کنیم برای به دست آوردن هر C، C قبلی استفاده شده است پس مناسب است که از روش Multiple Domino استفاده کنیم



Sunwood

می‌بینیم که باعث کاهش تحت افزار خواهد شد، سرعت بالا می‌رود زیرا تأخیر مورد نیاز برای آمدن Carry ورودی‌ها وجود نخواهد داشت

از طرفی برای C_4 نیازی نبود تا ورودی‌ها AND شوند زیرا مقدار از مدار در پشت آوردن ۴ طبقات قبل استفاده شده است، حجم مدار تا حدود زیادی کاهش می‌یابد.

مدارهای منطقی BiCMOS

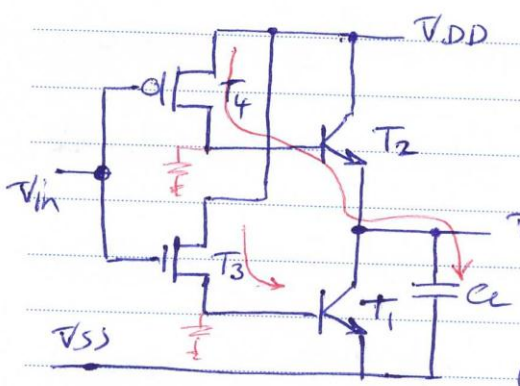
یک ایده برای افزایش سرعت، استفاده از ترانزیستورهای Bipolar است

اگر دو ترانزیستور MOS و Bipolar را کنار هم، چون رابطه جریان/ولتاژ MOS بصورت مربعی است و رابطه جریان BJT بصورت نمایی است. در سرعت ترانزیستور BJT بیشتر خواهد بود

$$I_C = I_S e^{V_{BE}/V_T}$$

$$I_D = \frac{\beta}{2}(V_{GS} - V_T)^2$$

اشکال ترانزیستور BJT این است که جای بیشتری نسبت MOS اشغال می‌کند و هم توان بیشتری نسبت MOS مصرف می‌کند



در جایکه سرعت اهمیت دارد می‌توان
دو ترانزیستور را ترکیب کنیم و قسمت اصل
مدار را از CMOS استفاده می‌کنیم و قطار
خروجی از BJT استفاده می‌کنیم. (اینورتر BiCMOS)

$V_{in}=0 \rightarrow T_3: off \rightarrow T_1: off$

جریان T_1 B تأمین نمی‌شود

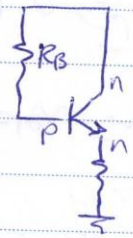
$T_4: on \rightarrow T_2: on$

جریان بیس T_2 تأمین می‌شود

$\rightarrow \boxed{V_{omax} = V_{DD} - V_{BE}}$

خازن از طریق T_2 شارژ می‌شود

T_2 در Sat قرار می‌گیرد. زیرا تعریف اشباع این است که دیود کلکتور



BC، BE در گرایش مستقیم قرار گیرد که در اینجا همانند مدار دیود این اتفاق

می‌افتد. و سپس جریان از T_4، BE به C می‌رسد.

$V_{in}=V_{DD} \rightarrow T_4: off \rightarrow T_2: of$

$\rightarrow \boxed{V_{om,in} = V_{SS} + V_{CE(sat)}}$

$T_3: on \rightarrow T_1: on$

ترانزیستور T_1 اشباع می‌شود

Subject: VLSI

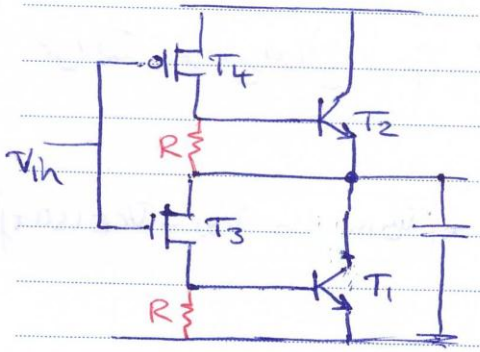
Year. 95 Month. 9 Date. 12 1395

وقتی ورودی یک شود، خروجی میخواهد صفر شود، یک جریان از T_3 تا V_{BE} در سیم وجود دارد. بنابراین توان تلفاتی افزایش می‌یابد.

در B هرچه ترانزیستور اثر خازنی دارد. که وقتی ترانزیستور خاموش می‌شود سیم خوبی برای شارژ نخواهند داشت.

برای حذف سیم راهی بجای D ترانزیستور از V_{DD} تغذیه میکنیم از خروجی میگیریم. حال اگر ورودی صفر شود ثبت بالایی روشن و ثبت پایینی خاموش می‌شود و خازن شارژ می‌شود و اگر یک شود ثبت پایینی روشن و بالایی خاموش می‌شود.

V_o ماکزیمم در حالت دوم صفر تلفاتی ندارد، تا $V_{DD}-V_{BE}$ می‌رسد و وقتی $V_{in}=V_{DD}$ و خازن تخلیه کرده در سیم CB یک ترانزیستور (T_3) قرار گرفته است، بنابراین زمان کلیدزنی می‌تواند از زمان پیش پایین تر قرار گیرد. یعنی در اینجالت T_1 تیز اشباع نمی‌شود $V_{SS}+V_{BE}$ تا V_{omax} پایین می‌آید



$V_{in}=V_{DD} \rightarrow T_4$: off $\rightarrow T_2$: off

T_3: on $\rightarrow T_1$: on

$\rightarrow V_{omin}=V_{SS}+V_{BE}$

Sunwood

Subject: VLSI

Year. 95 Month. 9 Date. 13 1395

مدت بنابراین Swing خروجی کم می‌شود (با کاهش توان مصرفی)

برای برقراری سیر دشارژ. برای خازهای بزرگ بین ترانزیستور از مقاومتهای R

استفاده می‌کنیم.

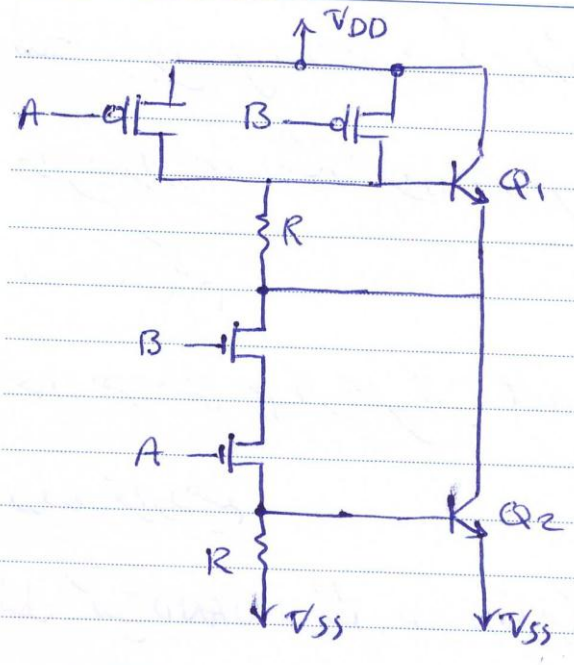
حال هر منطقی هم اگر بجای گیت not بخواهیم بسازیم، مقاومتهای R را باید

در مدار قرار دهیم.

مثال: گیت NAND در تکنولوژی CMOS طراحی کنید.

Subject: VLSI

Year. 96 Month. 9 Date. 12 199



همانطور که می‌بینیم بخش اصلی را با منطق CMOS می‌سازیم و فقط در خروجی از Q1 و Q2 استفاده می‌کنیم، مقاومت R را نیز برای دشارژ خازن‌ها در B قرار می‌دهیم.

Subject: VLSI

Year. ۹۶ Month. ۹ Date. ۱۲ (۱۹۷

۷

حافظه:

۱- حافظه اصلی (Main Memory) مستقیماً به cpu متصل می‌شود RAM

۲- حافظه کمکی (Auxilary Memory) مستقیماً به cpu متصل می‌شود CD_HARD, ...

خواص حافظه و تفاوت آنها:

حافظه اصلی:

حجم کم - فرار - سرعت بالا - ظرفیت کم - قیمت بالاتر

حافظه کمکی (حجم زیاد)

مواد مغناطیس شونده - غیر فرار - سرعت کم - ظرفیت بیشتر - قیمت پایین‌تر

در این قسمت حافظه اصلی مورد بررسی قرار می‌گیرند.

حافظه اصلی خود به دو بخش تقسیم می‌شود:

۱- حافظه با دسترسی ترتیبی (Sequential Access Memory (SAM)

1- Shift Register 2- Queues (صف) (زمان دسترسی به مکان فیزیکی بستگی دارد)

۲- حافظه با دسترسی تصادفی Random Access Memory (RAM)

Subject: VLSI

Year. 9C Month. 9 Date. 12 1918

Shift Register

1- Serial In Parallel out (SIPO) سریال وارد می‌شود

2- Parallel In Serial Out (PISO) موازی وارد می‌شود

Queues:

1- First In First Out (FIFO) ← صف

2- Last In First Out (LIFO)

← وابسته به مکان قرارگیری مکان حافظه نیست

حافظه با دسترسی تصادفی:

1- Read Only Memory (ROM) حافظه‌ی فقط خواندنی

2- Read Mostly Memory (RMM) حافظه‌ی اغلب خواندنی

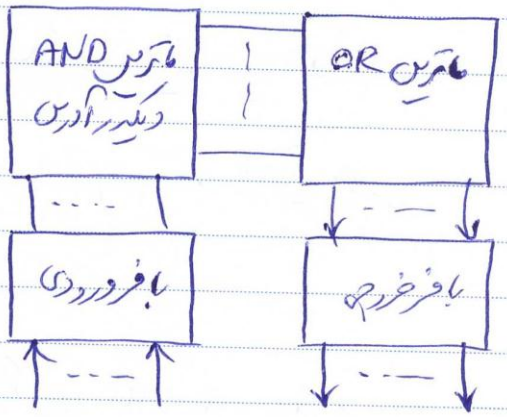
3- Read_Write Memory (RWM) حافظه‌ی خواندنی-نوشتنی

EEPROM, EPROM ← حافظه اغلب خواندنی

Static RAM } ← حافظه‌ی خواندنی نوشتنی

Dynamic RAM }

حافظه‌ی فقط خواندنی (ROM)



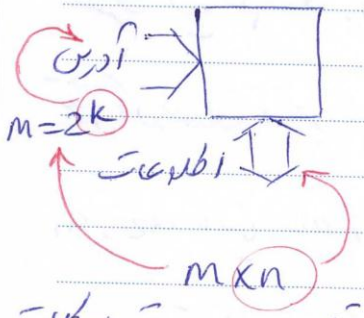
همانطور که در قسمت PLA گفتیم

ROM یه صورت سیرو هستند

تفاوت با PLA این است که

دیکدر آدرس برای تک تک آدرس‌ها

باید ساخته شود.

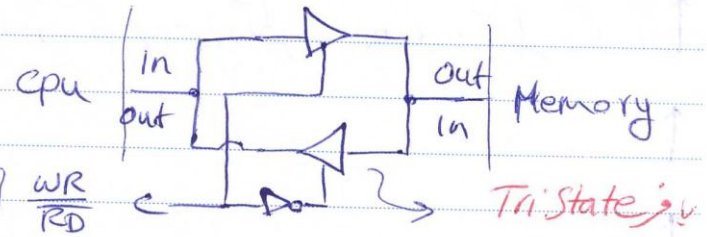


ظرفیت حافظه mxn که m تعداد کلمات،

n تعداد بیت‌های هر کلمه

خطوط دیتا دوجهته است یعنی با کنترل بیل دارند:

تعداد کلمات — تعداد بیت‌های هر کلمه



وقتی کنترل فعال شود سمت چپ in، سمت راست out و وقتی صفر شود

جهت برعکس خواهد شد.

مثال: حافظه 8x2

a_2	a_1	a_0	d_1	d_0
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

یعنی ۸ کلمه دوبیتی یعنی ۲ خط.

آدرس. ورودی است، ۳ بیت برابر

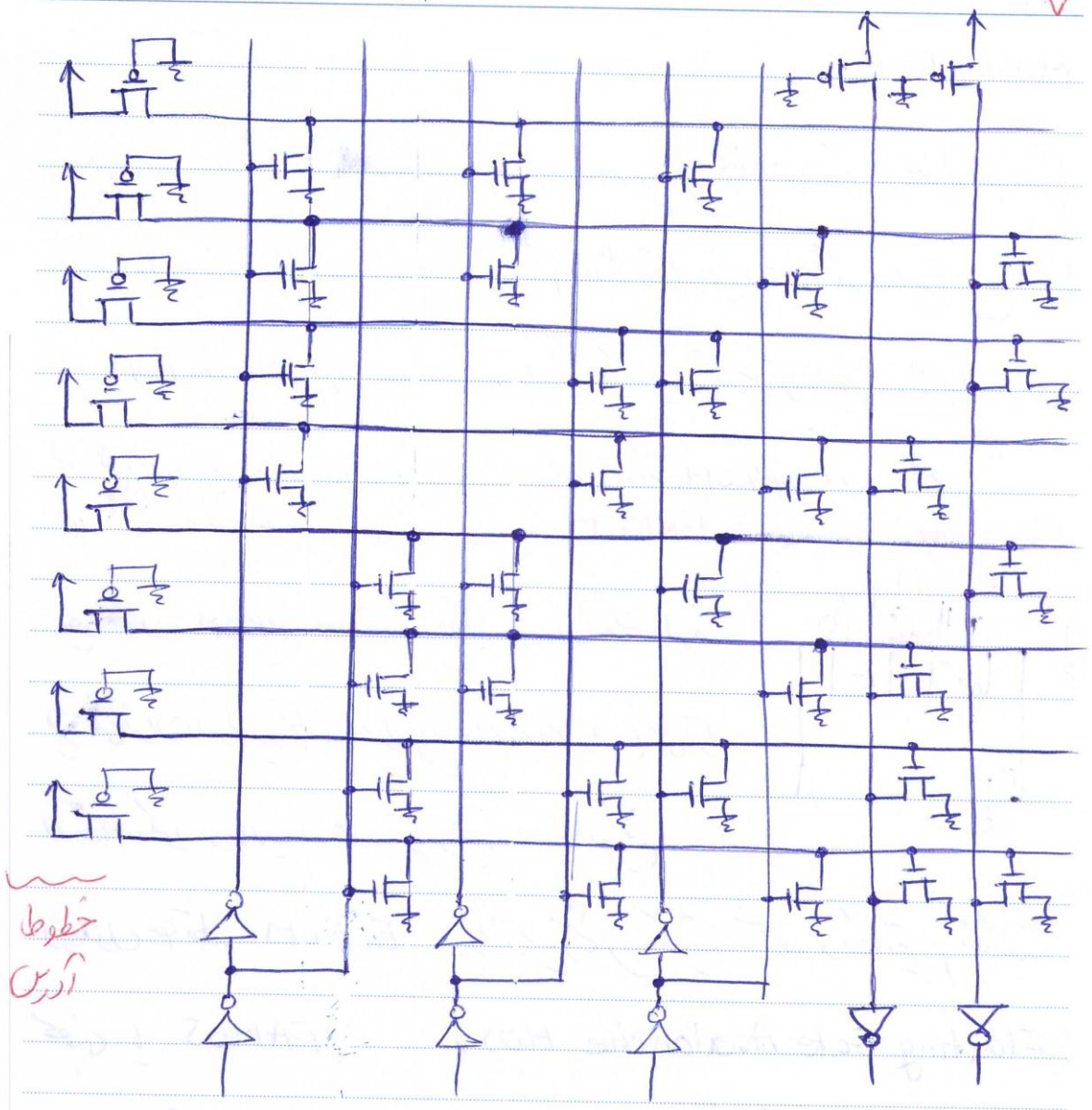
دیتا :

۳ خط آدرس a_0, a_1, a_2،

خطوط دیتا هم d_0, d_1

تا آدرسهای موجود برای خطوط آدرس (در اینجا ۸ بیت) توسط مقادیر a_0، a_1, a_2 بایتی ساخته شود

سپس متناظر با هر آدرس، data مورد نظر (از جدول بالا) را به لاچ برای نوشتن برقرار می‌کنیم. بنابراین با گذاشتن آدرس مورد نظر، data متناظر با آن آدرس در خروجی برقرار می‌شود.


خطوط آدرس
a_2
a_1
a_0
d_1
d_0

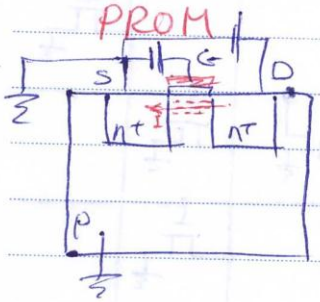
Subject: VLSI

Year. 9C Month. 9 Date. ۱۴ (۳۰C

Mask ROM

یعنی این حافظه در کارخانه سازنده برنامه ریزی (پیاده) می‌شود و هرجا که لازم باشد ترانزیستور قرار می‌دهند و هرجا که لازم نباشد، قرار نمی‌دهند که به این نوع حافظه Mask ROM قرار می‌دهند. ولی آخریک فیوز در کنار هر ترانزیستور قرار دهیم که توسط برنامه‌ریز و عیب جبران زیاد این فیوز را سوزانده شود PROM خوانده می‌شود.

حافظه‌ی اعلب خواندنی ← EPROM ← Erasable PROM

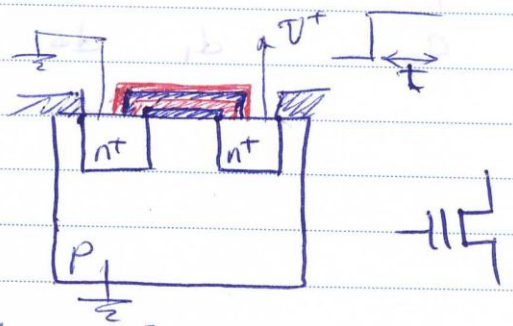


یعنی همان PROM است که قابلیت پاک شدن دارند.

برنامه نمی‌توان از فیوز تحت اشعار (که داده‌ها می‌سوزد) نمی‌توان استفاده کرد و باید از خود ترانزیستور استفاده کنیم.

در سلول حافظه EPROM از ترانزیستوری ساخته شده و مکانیزم شکست بهمنی یا FAMOS

(Floating Gate Avalanche MOS) استفاده می‌شود.



فرض کنید یک سلول EPROM

بصورت زیر باشد.

صفت روی گیت یک لایه اکسید و روی اکسید یک لایه poly و دوباره یک لایه اکسید و یک لایه poly می گذاریم. منظور از گیت شناور، گیتی است که قابل دسترسی نیست و در وسط قرار گرفته است.

ولتاژ آستانه همین ترانزیستور بزرگتر از ترانزیستور معمولی می شود

برای برنامه ریزی D گیت را برای یک مدت t به یک ولتاژ بزرگ حدود 25 تا 30 ولت در نظر میگیریم. و دیود کرا معکوس بایاس کنیم، جریانی عبور نمی کند مگر اینکه ولتاژ را زیاد کنیم، دیود می شکند و جریانی در جهت معکوس از آن عبور می کند e-h با سرعت زیاد و انرژی جنبشی زیاد به گیت و ولتاژ مثبت هجوم می آورند و از سطح اکسید عبور می کنند در گیت شناور انرژی خود را از دست می دهند و e-h در گیت جمع می شوند. وقتی زمان برنامه ریزی خاتمه یابد دیگر انرژی برای بازگشت ندارند ولی یک ولتاژ منفی ایجاد می کنند به نسبت زیرین (مثلاً -5V به اندازه VDD) حال اگر به گیت این ترانزیستور +5V به جمع این ترانزیستور روشن می شود و جریان برقرار می شود. حال اگر این سلول برنامه ریزی نشده باشد، ترانزیستور روشن می شود و

خروجی صفر خواهد شد

Subject: VLSI

Year. ۹۷ Month. ۹ Date. ۱۴ ۲۵۷

۷

یعنی در تمام سلول‌های حافظه بصورت پیش‌فرض مقدار صفر قرار داده شده است و برای ایجاد هرکدام آنها را برنامه‌ریزی می‌کنیم.

حال اگر انرژی کافی به e^-ها بدهیم به زمینه برمی‌گردد و حافظه پاک می‌شود. این انرژی توسط نور ماوراء بنفش می‌تواند به e^-ها داده شود. ولی در EEPROM می‌توان این انرژی توسط میدان E به e^-ها داده شود و پاک شود.

در EPROM اکسید میانی SiO_2 است، در EEPROM علاوه بر آن Si_3N_4 نیز وجود دارد تا توسط ولتاژهای معمولی اطلاعات پاک نشود.

این حافظه‌ها به تعداد محدود قابل استفاده هستند زیرا با هر بار برنامه‌ریزی کردن برخی پیوندها از بین می‌روند و با چند بار استفاده، دیگر قابل استفاده نخواهد بود.

در EEPROM ولتاژ برنامه‌ریزی و پاک کردن متفاوت خواهد بود زیرا میتوانند از اکسید نیتریدی Si_3N_4 که علاوه بر SiO_2 وجود دارد عبور کنند و اطلاعات پاک شوند (مثلاً با 25V برنامه‌ریزی و با 40V پاک می‌شود).

این حافظه‌ها هم جزو حافظه‌های غیرفرار هستند.

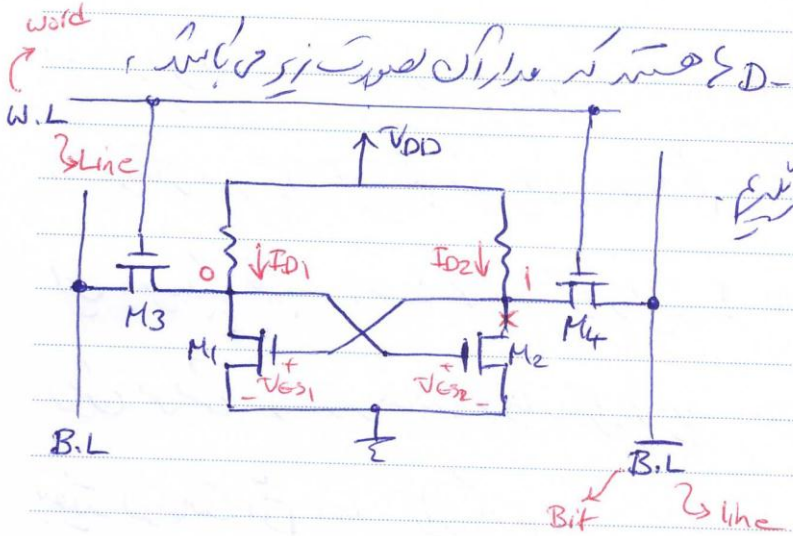
Sunwood

Read_Write Memory (RAM) حافظه‌ی خواندنی نوشتنی

حافظه‌ی مصطلح این حافظه‌ی هست.

Static RAM (SRAM)

این حافظه‌ی همان D-Latch ای هست که مدارش به صورت زیر می‌باشد:



اگر سلول با بار مقاومتی در نظر گیریم.

ترانزیستورهای M3، M4 ترانزیستورهای دسترسی هستند. یعنی اگر بخواهیم از سلول حافظه بخوانیم و یا از روی آن بنویسیم باید این ترانزیستورها را فعال کنیم.

این مدار در حالت پایدار خواهد بود. فرض کنیم ترانزیستور دسترسی خاموش باشد. جریان‌های I_{D1} و I_{D2} می‌باشند. در هنگام روشن شدن تفاوتی بین دو وابسته وجود ندارد. فرض کنید که ولتاژ G_{S1} اندکی از ولتاژ G_{S2} بیشتر شود.

$V_{GS1} > V_{GS2}$

از طرفی می دانیم جریان درین از رابطه زیر بدست می آید:

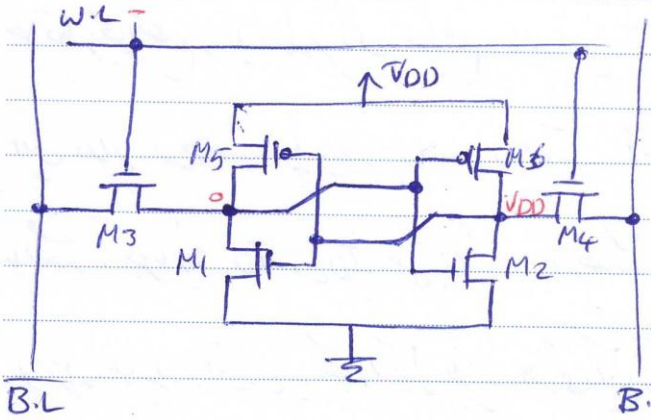
$I_D = \frac{K'}{2} \cdot \frac{W}{L} (V_{GS} - V_T)^2$ → اندازه گذاران هستند

→ $I_{D1} > I_{D2}$ → R_1 افت ولتاژ > R_2 افت ولتاژ →

↑ ثابت است V_{DD}

این افزایش افت افت ولتاژ باعث می شود افت ولتاژ سر ترانزیستور کم شود یعنی V_{GS2} کم می شود. بنابراین I_D کم می شود این فیدبک مثبت باعث می شود ترانزیستور ۲ خاموش شده و ترانزیستور ۱ روشن می شود و مدار حالت پایدار قرار می گیرد. حال اگر عکس این حالت اتفاق بیفتد در حالت دوم پایداری قرار می گیرد.

برای اینکه بتوانیم توان مصرفی را پایین بیاوریم. ترانزیستورها را با منطق مکمل می سازیم.



تعداد ترانزیستورها بیشتر می شود ولی توان مصرفی پایین می آید و حتی ممکن است فضای اشغال شده نیز کاهش یابد چون از منطق مکمل استفاده می کنیم

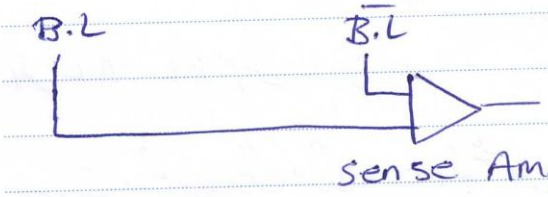
Subject: VLSI

Year. ۹۶ Month. ۹ Date. ۱۴ (۲۵۷)

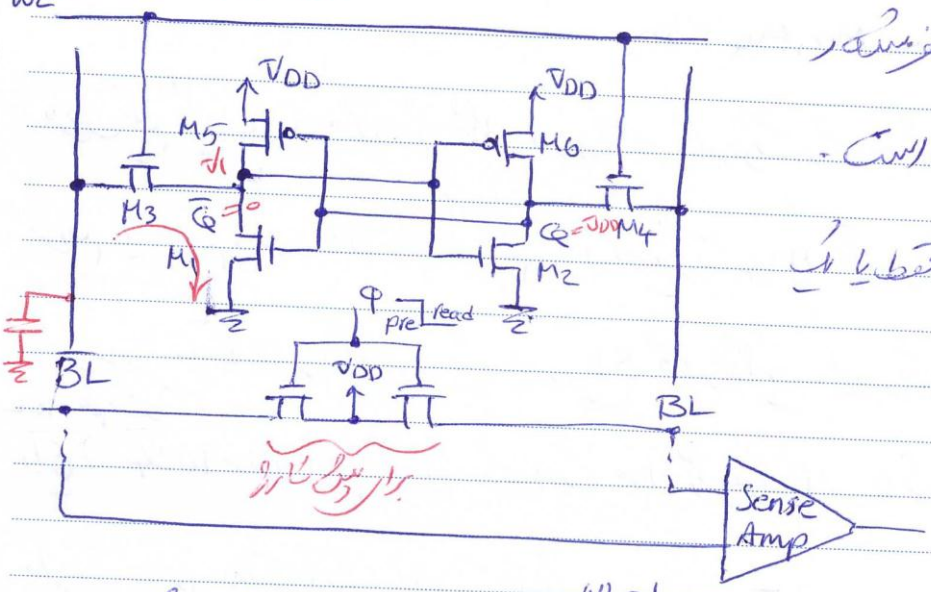
۷

WL = 1 → M3, M4 : on

فرض کنیم یک سلول data سلول نگهدارنده V_{DD} و در مدار نوشته شده باشد و درصدد یکی بخوانیم یا بنویسیم باید WL آن را فعال کنیم. در اینصورت M3,4 روشن می‌شوند. به طراحی بردار صفر بردار B.L قرار می‌گیرد و یک بردار B.L قرار می‌گیرد ولی چون سلول 1k Byte حافظه دارد، 1024 سلول هم متصل به این B.L هم متصل است حال اگر هرکدام از D‌ها بخواهند یک ظرفیت خازنی داشته باشند، ظرفیت خازنی B.L خیلی بزرگ‌تر از ظرفیت خازنی سلول حافظه می‌شود. به همین دلیل هنگام کار ترانزیستور یک روشن می‌شود و می‌خواهیم B.L, $\overline{B.L}$ را تغییر دهیم، باعث تغییرات زیاد بردار BL, $\overline{BL}$ نمی‌شود - یعنی VDD و صفر بردار آنها قرار نمی‌گیرد. حال اگر $\overline{B.L}$ و B.L را قبل از فعال کردن بایت Read، پیش شارژ نکنیم باشد، صفر شدن آن باعث دشارژ آن نمی‌شود (به علت ظرفیت بزرگ خازن) پس اختلاف پتانسیل B.L و $\overline{B.L}$ خیلی زیاد نخواهد بود بنابراین در انتها که B.L و $\overline{B.L}$ را به یک Sense Amp. وصل می‌کنیم تا اختلاف آنها را حس کرده و تشخیص دهد



Sunwood



Read

که یکی از یک صفر شده و یکی از یک شده است.

زیرا در یک لحظه فقط یا یک است یا صفر.

اگر B.L و B.L پیش شارژ شده باشد و برای خواندن WL=1 شود M3 و M4 روشن می‌شوند. در این صورت به محض روشن شدن M3 به دلیل طرفین خازن کوچک ترانزیستور M1 که به B.L متصل است شارژ شده و اگر ابعاد ترانزیستورها درست انتخاب نشده باشد این خازن شکل است شارژ شده و اگر ابعاد ترانزیستورها درست انتخاب نشده باشد V_1 به ولتاژ V_{Tn} ترانزیستور M2 می‌رسد و باعث روشن شدن آن می‌شود که ولتاژ خروجی آن صفر می‌شود و اطلاعات از بین می‌رود. بنابراین باید ولتاژ کمتر گیت ترانزیستور M2 یا M1 حداقل از V_T کوچک‌تر باشد تا باعث روشن شدن آن نشود که به ابعاد ترانزیستورها بستگی دارد ($\frac{W}{L}_3$) اگر زیاد باشد این مشکل بوجود می‌آید)

Subject: VLSI

Year: ۹۶ Month: ۹ Date: ۲۱ ۲۵۹

بنابراین باید حواس‌مان باشد که V_1 حتماً از ولتاژ V_{Tn} کوچکتر باشد تا باعث تغییر ولتاژ Q نشود بنابراین باید داشته باشیم:

$$V_{1\,max} < V_{Tn}$$

از طرفی M_1 به‌دلیل اینکه $Q=V_{DD}$ روشن است و چون M_3 برای خواندن از حافظه توسط WL روشن شده، یک جریانی از M_3، M_1 می‌گذرد که از دیتاریز خازن $\overline{B.L}$ برروی ترانزیستور M_1 تأمین می‌شود V_{DS_3} بزرگ است و $\bar{Q}=0$ و حتی اگر ولتاژ گیر خیلی بزرگ نیست پس:

$$I_{D_3} = I_{D_1} \rightarrow I_{D_3}(sat) = I_{D_1}(Triode)$$

$$\Rightarrow \frac{\beta_3}{2}\left(V_{DD}-V_1-V_{Tn}\right)^2 = \frac{\beta_1}{2}\left[2\left(V_{DD}-V_{Tn}\right)V_1 - V_1^2\right]$$

با شرط $V_{1max} < V_{Tn}$ که تذکر دیگر شد. اگر V_1 را با V_{Tn} جایگزین کنیم داریم:

$$\frac{\beta_3}{\beta_1} = \frac{\left(\frac{W}{L}\right)_3}{\left(\frac{W}{L}\right)_1} < \frac{2(V_{DD}-1.5V_{Tn})V_{Tn}}{(V_{DD}-2V_{Tn})^2}$$

این رابطه برای ترانزیستورهای M_2، M_4 نیز برقرار است،

$$\frac{\beta_4}{\beta_2} < \frac{2(V_{DD}-1.5V_{Tn})V_{Tn}}{(V_{DD}-2V_{Tn})^2}$$

یعنی با انتخاب ابعاد ترانزیستورها با شرط بالا مطمئن خواهیم بود که در هنگام خواندن ترانزیستورهای M_1، M_2 روشن خواهند شد. وقتی $Q=V_{DD}$ و وقتی $\bar{Q}=V_{DD}$

Sunwood

Subject: VLSI

Year. ۹۷ Month. ۹ Date. ۲۱ ۱۳۹۷

۷

Write

در حالت نوشتن با فرض اینکه $Q=0$ و $\bar{Q}=V_{DD}$ یعنی بخواهیم محتویات حافظه را تغییر دهیم. در اینجالت $B.L$ و $\bar{B.L}$ را ورودی در نظر می‌گیریم (بنابراین دیگر خروجی نیست) حالا data را بر روی $B.L$ و $\bar{B.L}$ قرار می‌دهیم. اکنون با یک نمودن WL ترانزیستورهای دسترسی M_4 و M_3 روشن می‌شوند، مثلاً $\bar{B.L}=0$ و $B.L=1$ که باعث می‌شود Q و $\bar{Q}$ تغییر کنند (به علت خازن بزرگ $B.L$) و فیدبک مثبت موجود باعث تغییر محتویات سلول حافظه خواهد شد. وقتی $Q=0$ باعث می‌شود M_5 روشن شود و جریانی از M_3 و M_5 می‌گذرد. در V_{DS3} خیلی بزرگ نیست، V_{DS5} بزرگ است پس M_5 در Sat و M_3 در Triode قرار می‌گیرد

$$I_{D3}=I_{D5} \longrightarrow I_{D3}(\text{Triode})=I_{D5}(\text{Sat})$$

$$\Rightarrow \frac{\beta_3}{2}\left[2(V_{DD}-V_{Tn})\overbrace{V_{Tn}}^{V_{D5}}-\overbrace{V_{Tn}^2}^{V_{D5}}\right]=\frac{\beta_5}{2}(0-V_{DD}-V_{Tp})^2$$

($V_{G5}=V_{DD}$, $V_1<V_{Tn}$, $V_1<V_{Tn}$)

$V_{1max}<V_{Tn}$ زیرا مسلم بحث قبلی باید V_1 آنقدر پایین بیاید تا M_2 را خاموش کند یعنی

$$\Rightarrow \frac{\beta_5}{\beta_3}<\frac{2(V_{DD}-1.5V_{Tn})V_{Tn}}{(V_{DD}+V_{Tp})^2} \Rightarrow \frac{(\frac{W}{L})_5}{(\frac{W}{L})_3}<\frac{\mu_n}{\mu_p}\frac{2(V_{DD}-1.5V_{Tn})V_{Tn}}{(V_{DD}+V_{Tp})^2}$$

کدام نسبت برای شاخه سمت راست است یعنی برای $\frac{W}{L}$ ترانزیستورهای 6، 4 و 1

$$\frac{(\frac{W}{L})_6}{(\frac{W}{L})_4}<\frac{\mu_n}{\mu_p}\frac{2(V_{DD}-1.5V_{Tn})V_{Tn}}{(V_{DD}+V_{Tp})^2}$$

μ_n و μ_p برابر نیست

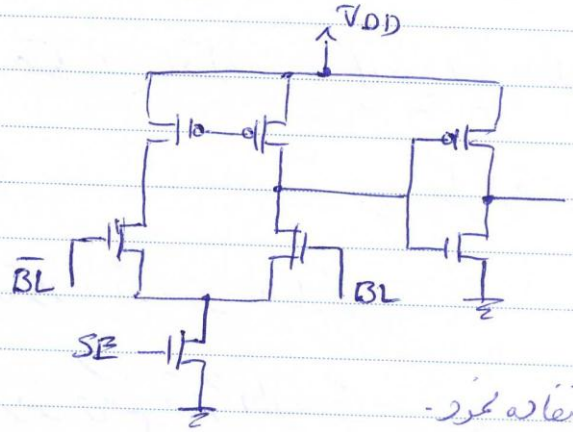
Sunwood

Subject: VLSI

Year. ۹۴ Month. ۹ Date. ۲۱ (۳۱۱

۷

برای Sense Amp می‌توان از یک تقویت کننده حداکثر شکل زیر می‌توان



استفاده کرد که بهره بالایی دارد و

می‌توان با SE آنرا فعال نمود

یا حتی می‌توان VDD را با یک ترانزیستور

فعال نمود و در هنگام خواندن از آن استفاده نمود.

در اصل یک مقایسه گر است که جریان سازی هم شده است و یا حواست یا یک ا

ست

و ترانزیستور به عنوان سلول حافظه استفاده می‌شود

حسن:

تا زمانی که نخواهیم دیتا را خودش تغییر نمی‌کند و با ورودی تغییر می‌کند

عیب:

جای زیادی اشغال می‌کند.

برای کاهش فضای اشغال شده می‌توان به جای حافظه از دینامیکی رفت ا

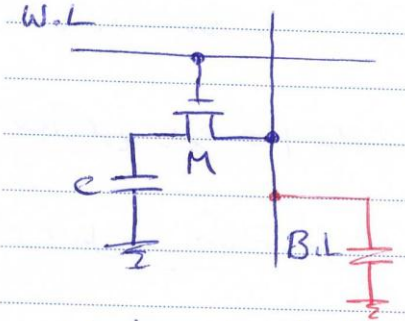
Subject: VLSI

Year. ۹۲ Month. ۹ Date. ۲۱ ۲۱۲

۷

حافظه‌ی دینامیکی:

منظور از حافظه‌ی دینامیکی یعنی اینکه اطلاعات را برای مدتی خازن نگه‌داری، بنابراین اگر W.L و B.L به صورت زیر در نظر گرفته شود با یک ترانزیستور دسترسی و خازن می‌توان یک سلول حافظه درست نمود.



فرض می‌کنیم قبلاً اطلاعات در خازن ذخیره شده باشد. در اینحالت تیر B.L دوطرفه خواهد بود ← مقداری از ولتاژ خازن روی B.L سهیم می‌شود که مطلوب نیست

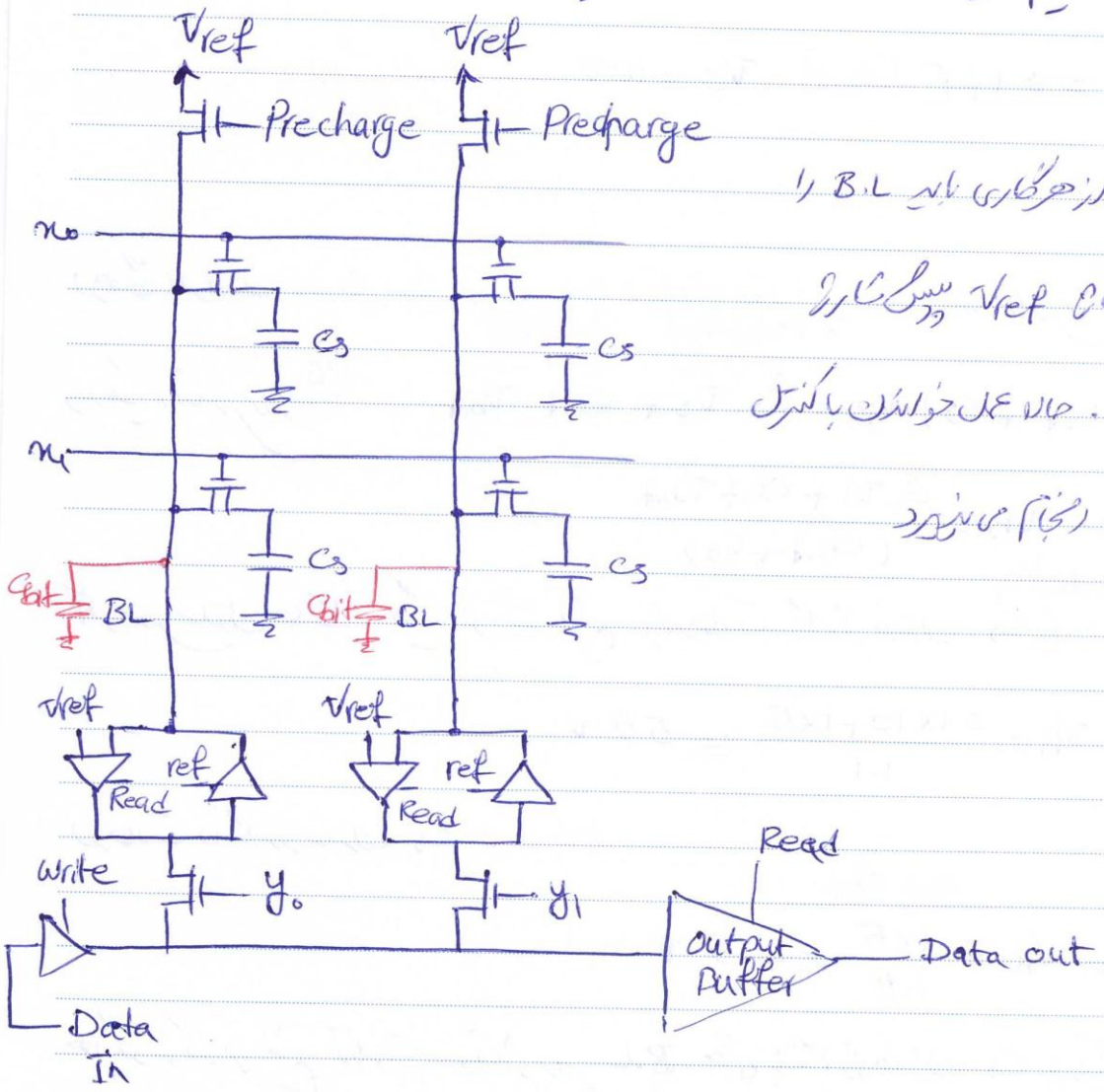
در هنگام خواندن، W.L=1 می‌شود و ترانزیستور روشن می‌شود. و خازن به B.L متصل می‌شود و در هنگام نوشتن W.L=1 و اطلاعات روی B.L گذاشته می‌شود و بسته به اینکه بخواهیم یک یا صفر را روی C بریزیم، آنرا شارژ یا دشارژ می‌کنیم (از M)

در زمانی که W.L=0 است ترانزیستور کامل خاموش نیست و اگر جریان زیر آستانه باعث خواهد شد که خازن دشارژ شود.

بنابراین در این حافظه محیط Refreshing را خواهیم داشت.

حتی در زمان خواندن نیز باید عمل Refreshing را انجام دهیم. زیرا همانطور از بار سلول حافظه از دست می‌رود. (صفحه قبل)

فرض کنیم یک حافظه 2x2 داشته باشیم:



قبل از هرگاری باید B.L را به ولتاژ Vref پیش شارژ شود. حالا عمل خواندن با کنترل Read انجام می‌پذیرد

گفتیم B.L ها ظرفیت خازنی بزرگ دارند. (می خواهیم اشکال دیتا را بسنجیم)

فرض می کنیم مقادیر زیر را داشته باشیم:

$C_{bit} = 1PF$ خازن B.L $V_{bit} = 5V$ ← ولتاژ سیگنال B.L

$C_S = 0.1pF$ خازن خانه $V_S = 10V$ ← ولتاژ خازن برای ذخیره اطلاعات

Read:

در حالت خواندن ابتدا بار C_S بر روی B.L و سپس مقدار C_{bit}, C_S متوازی می شوند

(بار خازن C_{bit} / بار خازن C_S)

و به یک ولتاژ می رسند: V_B

$$(C_{bit} + C_S) V_B = C_S \cdot V_S + C_{bit} \cdot V_{bit}$$

$$\rightarrow V_B = \frac{C_S \cdot V_S + C_{bit} V_{bit}}{(C_{bit} + C_S)}$$

$(V_S \neq 0)$

اگر سر سلول خانه یک نوشته باشیم (در حالت شارژ خازن C_S):

$$\rightarrow V_B = \frac{0.1 \times 10 + 1 \times 5}{1.1} \cong 5.5V$$

در حالت دشارژ خازن C_S $(V_S = 0)$

(C_{bit} V_{bit})

$$\rightarrow V_B = \frac{1 \times 5}{1.1} \cong 4.5V$$

خانه نه می بینیم تفاوت ولتاژ بر B.L حتی با شارژ خازن C_S با ولتاژ 10V

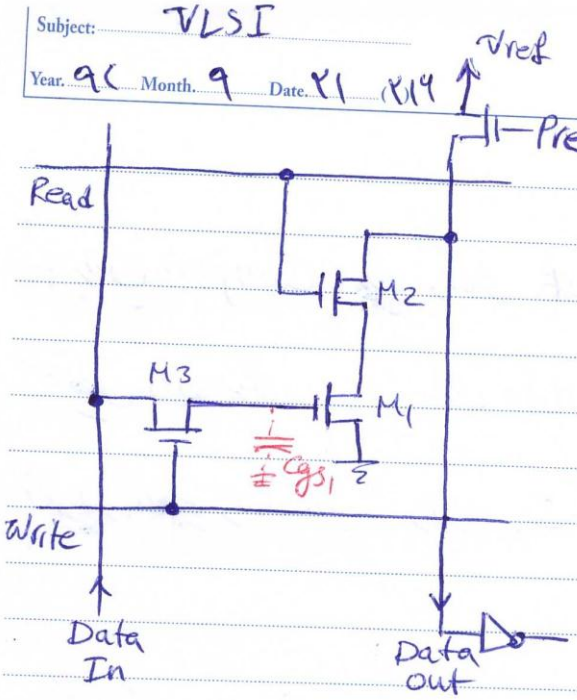
حدود یک ولت است (تازه در اینجا V_{bit} با V_S یکسان نیست)

Sunwood

بنابراین لازم است با یک ولتاژ Ref مقایسه گردد و مقدار صفر یا یک تشخیص داده شود. در این مثال می‌توان ولتاژ مرجع را 5 در نظر گرفت که اگر از 5 بیشتر شد "یک" و در صورت کمتر بودن "صفر" در نظر گیرد.

همانگونه که در این مثال دیده می‌شود در هنگام خواندن از ۵ ولتاژ آن که قبلاً 10 ولت بود اکنون به 5.5 رسیده است. بنابراین باید در هنگام خواندن نیز عمل Refreshing انجام پذیرد تا دوباره به مقدار 10V برسد. بنابراین مدار Refresh برای این منظور قرار داده شده است.

حافظه‌ی تک ترانزیستوری بخاطر فضای اشغال شده، اینکه کنترلهای زمانی ندارد. اگر بخواهیم کنترلها را به آن اضافه کنیم از سلولهای حافظه ۳ ترانزیستوری استفاده می‌کنیم.



حافظه ۳ ترانزیستوری

ترانزیستورهای M_3 ، M_2

ترانزیستور ۴ی دستر هستند

برای خواندن و نوشتن استفاده

می شوند.

در این مدار دیگر نیازی به ساختن خازن جداگانه نیست و از ترانزیستور M_1 به عنوان خازن استفاده می شود و از خازن gs ترانزیستور M_1 استفاده شده است.

Write1 هر دو همزمان فعال نمی شوند

Write=1 , Read=0 → M2: off, M3: on

و Data دلخواه بر M_1 (خازن) قرار می گیرد یا صفر (بدون خازن)

یا یک (با خازن)

(حال از تکنیک قبلی برای بالا بردن ولتاژ تا سطح V_{DD} یا ... می توان استفاده نمود)

Subject: VLSI

Year. 9C Month. 9 Date. ۲۱ (۲۷

Read:

قبل از اینکه کنترل Read را فعال کنیم باید خط را تا سطح V_{DD} پیش شارژ کرد

قرار دهیم (قاعده کلی سلول حافظه)

Read=1, write=0 → M2: on, M3: off

حال اگر محتویات سلول حافظه (خازن gs ترانزیستور M_1) قبلاً یک نوشته شده

باشد، خط Data هم که تا V_{DD} پیش شارژ شده است. M2 که روشن شد محتویات

خط Data از طریق M_1, M_2 بر روی زمین دشارژ می‌شود. پس بنابراین not داده

در خروجی باید خوانده شود که از یک not (اینورتر) استفاده شده است. اگر قبلاً

روی خازن صفر نوشته شده باشد، باعث خاموش ماندن M_1 می‌شود و ولتاژ خط

تغییر نمی‌کند که پس از not شدن دیتای صحیح یعنی صفر را به خروجی منتقل می‌کند

* Sihgle_ended است. فقط یک خروجی دارد (برخلاف SRAM که هم Q و هم $\bar{Q}$ دارد)

- در یک ترانزیستور یک خازن نازک است بصورت جداگانه

- در یک ترانزیستور خواندن تخریب کننده است، Refreshing نیاز است.

- شبکه و گیت عبور ندارد NMOS در حالت یک بودن است

Sunwood

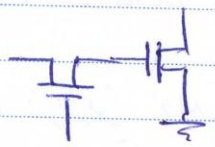
Subject: VLSI

Year. 95 Month. 9 Date. 21 (۲۱۸)

۷

مزایای حافظه‌ی دینامیکی نسبت به استاتیک

- فضای اشغال شده کمتر نسبت به SRAM دارد.



- جریان زیر آستانه، اشباع معکوس حتی در صورت صرف نظر کردن جریان نشتی گیت تیر باعث دشارژ خازن می‌شود.

بنابراین مجبور هستیم مداری جداگانه برای Refreshing حافظه در نظر بگیریم.

- که برای این منظور روشهای مختلفی وجود دارد.

- مشکلاتی نیز در Refereshing وجود دارد:

در زمان Refereshing دسترسی به حافظه توسط cpu امکان پذیر نیست و باعث کند شدن سیستم می‌شود.

- اگر کل حافظه را یکباره refresh کنیم به این روش گویند Burst Mode

64k

2msec → Ref = 32 μsec

Subject: VLSI

Year. 9C Month. 9 Date. ۲۱ ۲۱۹

۷

روش اگر حافظه را به بخشهای کوچکتر تقسیم کنیم و هر قطعه را جداگانه refresh کنیم.

$\frac{2msec}{64} \simeq 31\ \mu sec$

Cycle Stealing به کار

ref زمان $= \frac{32\ msec}{64} = 0.5\ \mu sec$

یعنی هر 31 μs به حافظه مراجعه و 0.5 μs وقت گرفته می‌شود و 1k قسمت refresh می‌شود و ادامه می‌یابد

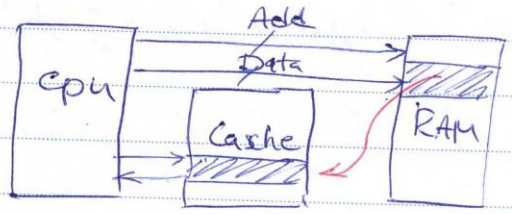
روش دیگر Hidden Mode است که Refreshing در زمانهایی که cpu نیاز به حافظه ندارد اینکار را انجام می‌دهد. بخشی از حافظه را refresh می‌کند و در زمان مناسب بعدی بقیه را.

استفاده: حافظه دینامیک نسبت به استاتیک:

سرعت حافظه‌های استاتیک نسبت به دینامیکی بیشتر است.

cache

یک ظرفیت کم برای cache در نظر می‌گیریم. که حافظه‌ای است که چون RAM کندتر است و برنامه‌ها در RAM قرار می‌گیرند و به ترتیب اجرا می‌شوند بنابراین

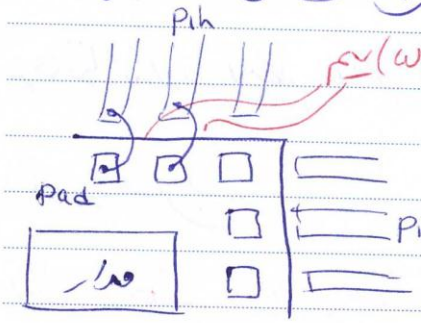


یک بلوک محدود از حافظه را در cache کپی می‌کند و بجای پردازش دیتا

Sunwood

از حافظه RAM از Cache برداشته می‌شود و تا زمانی که با این حجم Cache مشاهده شود که دیتا در Cache نیست. یعنی cache miss اتفاق می‌افتد. بنابراین دوباره سراغ RAM رفته و یک بلوک دیگر را در cache کپی می‌کنیم (با حجم آدرس جدید) و چون می‌خواهیم سرعت بالاتری داشته باشیم از حافظه ایستایی استفاده می‌کنیم و برای RAM چون فضای بیشتری می‌خواهیم از دینامیکی که چگالی بالایی دارد استفاده می‌کنیم.

- مداری I/O :



ارتباط CPU همیشه با حافظه نیست و برای ورودی و خروجی هم ارتباط لازم است. پس باید مداری برای آنها در نظر بگیریم.

برای ارتباط با Pin از یک سر pad استفاده می‌شود که با سیمی (wire) به آنها متصل می‌شود. که این pad دارای ظرفیت خازنی می‌باشد که زیاد هستند و Pin ظرفیت خازنی کمتر از pad بسیار بزرگتر است. یعنی خروجی مدار به یک خازن بزرگ متصل می‌شود. تا زمانی که در داخل تراشه و مدار هستیم، مطمئن هستیم

که ولتاژ مدار از ولتاژ تغذیه بیشتر نخواهد شد. ولی وقتی از مدار بیرون می‌آییم در pin و pad این تضمین وجود ندارد و ممکن است ولتاژ بیشتر هم وجود داشته باشد.
بنابراین باید بتوانیم ژنراتور ایجاد شده بروی pin و pad را کنترل کنیم تا باعث صدمه زدن به مدار داخلی تراشه نشود. pad در ورودی معمولاً به گیت ترانزیستور متصل است.

ESD : Electro Static Discharge ولتاژی که باعث شکست عایق می‌شود.

فرض کنید برای SiO_2 ولتاژ شکست برابر مقدار زیر باشد:

میدان شکست عایق

$ESD = 5-10\ MV/cm$ → اکسید

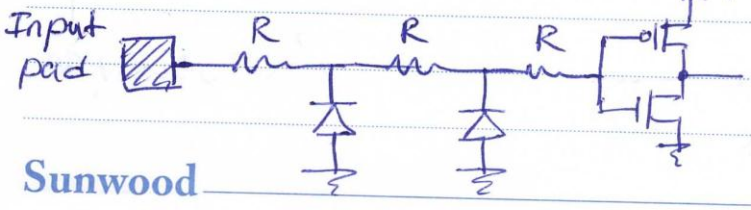
میدان اکسید: $E_{ox} = \frac{V_{ox}}{t_{ox}}$

ضخامت اکسید: $t_{ox} = 350\ \text{Å}$

→ $V_{Gmax} =$ ولتاژ گیت ماکزیمم = 17.5 V / 35 V

بنابراین ولتاژی در این حدود که خیلی زیاد نیست باعث می‌شود که آمپر سلف I_E را با دست گیریم باعث سوختن آن می‌شود.

به همین دلیل حفاظت را انجام می‌دهند: (با یک سری مقاومت و دیود)

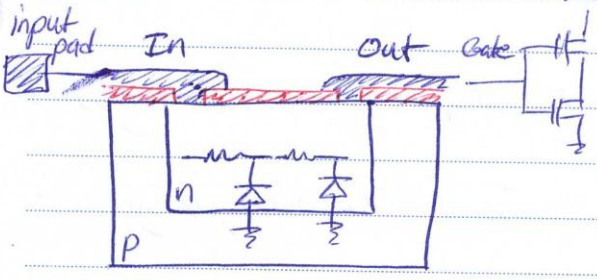


Subject: VLSI

Year. ۹۶ Month. ۹ Date. ۲۱ ۲۲۶

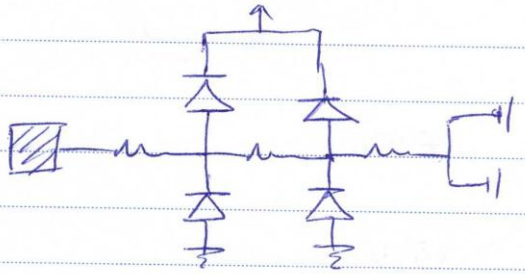
که ولتاژ ورودی زیاد باعث شکست دیود ورودی میشه و وارد مدار دیگه ای نمیشه تا تریگر رخ نخواهد داد.

برای ساخت این مدار بر روی تراشه یک n وارد p می کنند و با اکسید پوشانده می شود و شکل مدار حفاظت بصورت زیر می شود:



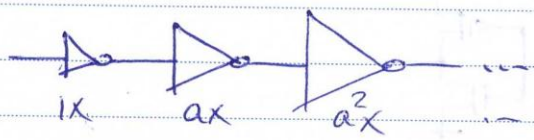
زیرا دیود با فاصله ای که با هم دارند نقش مقاومت بازی می کنند و محافظت می کنند

برای بهتر عمل کردن محافظت می توان یک



دیود دیگر نیز مانع تخریب تر بصورت شکل روبرو استفاده کرد

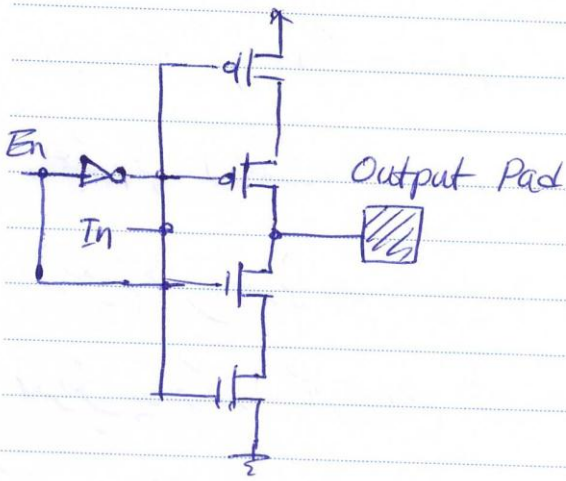
برای pad خروجی نیز مشکل وجود خازن بزرگ می باشد. که برای اینکه خازن بزرگ را راه اندازی کنیم، قبلاً دیدیم که مدار مورد استفاده می تواند Super buffer باشد که از فازهای پشت سر هم با ابعاد a^2x ، ax ، x ... تا تأخیر را کم کنیم و مشکل pad خروجی حل شود.



Sunwood

گاهی اوقات هم از بافر با Tri State برای پدهای خروجی استفاده می‌شود.

به عنوان نمونه مدار زیر:



یک سیگنال En برای فعال نمودن بافر استفاده می‌شود.

راه دیگر استفاده از مدار BiCMOS و استفاده از ترانزیستورهای Bipolar در بافر است. که سرعت بالا می‌رود.

اغلب pad ها فقط ورودی، خروجی نیستند و با کنترل می‌توانند در یک زمان ورودی و در زمان دیگر خروجی باشند. یعنی باید هم مدار محافظت و هم بافر در آن وجود داشته باشد.

Subject: VLSI

Year. 96 Month. 9 Date. ۲۱ ۲۲۴

۷

مدارهای با مصرف توان کم:

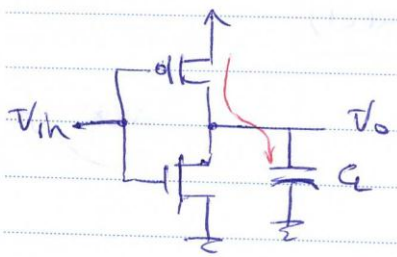
چون وسایل قابل حمل که با باطری کار می‌کنند در حال افزایش است، مدارهایی با مصرف توان کم هم اینک مورد نیاز می‌باشد. زیرا هم می‌خواهیم وسایل سبک باشند و هم کوچک (قسمت اعظم وزن و فضای اشغال شده مربوط به باطری است) در سیستم‌های باطری‌ای بالا هزینه بسته‌بندی و خنک‌کاری با مصرف توان بالا افزایش پیدا می‌کند. اگر بخواهیم توان مصرفی را با این پارامتر بیاوریم باید دمای IC را خنک کنیم. در هنگام عبور جریان زیاد از pin ها ممکن است به مشکل برخورد نماییم. با افزایش هر ۱۰° تعداد خطاهای در هنگام انتقال افزایش پیدا می‌کند

بنابراین نیاز است که توان مصرفی در مدار را تا حد ممکن کاهش دهیم

توان‌های مصرفی در مدارهای را با در نظر گرفتن مدار اینورتر CMOS به عنوان مبنا به صورت زیر در نظر می‌گیریم.

کل توان مصرفی از بخش‌های زیر تشکیل شده است:

Sunwood



تلفات در ترانزیستور در حالت شارژ و دشارژ خازن

$P_{dis} = P_{Dynamic} + P_{short\,circuit} + P_{leakage}$ ← ناشی از نشتی

$P_{Dyn} = \alpha . f . C_L . V_{DD} . V_{swing}$ ($V_{swing} = V_{DD}$)

ضریب فعالیت

هر مداری که استفاده‌تر نسبت به تغییر ورودی

خروجی تغییر نمی‌کند بنابراین یک α تعریف می‌کنیم به نام ضریب فعالیت

activity factor

α بیانگر این است که در هر سیکل چند تغییر می‌کند.

همه گره‌ها سوئیچ نمی‌شوند

$\alpha = \lim_{N \to \infty} \frac{n(N)}{N}$ ← تعداد گذرهای از ۰ به ۱ ← سیکل ساعت

به شکل بیتار pattern

بستگی دارد.

با بحث آمار می‌توان α را تعریف کرد.

A	B	NOR	XOR
0	0	1	0
0	1	0	1
1	0	0	1
1	1	0	0

برای XOR و NOR

احتمال $P_{A=1} = \frac{1}{2}$

$P_{B=1} = \frac{1}{2}$

A=1 احتمال اینکه

B=1 احتمال اینکه

NOR ، $P_{(output)} = \frac{1}{4}$ ← احتمال اینکه خروجی یک باشد

Subject: VLSI

Year. 96 Month. 9 Date. ۲۱ (۲۴۶

برای α را می‌توان بصورت زیر تعریف کرد:

$$\alpha = P(0\to1) = P(out=0)\cdot P(out=1)$$

برای NOR

$$\alpha_{0\to1} = \frac{3}{4}\cdot\frac{1}{4} = \frac{3}{16}$$

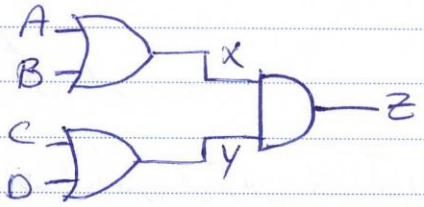
($P(out=0)$ و $P(out=1)$)

برای XOR

$$\alpha = P(out=0)\cdot P(out=1) = \frac{1}{2}\times\frac{1}{2} = \frac{1}{4}$$

ضریب فعالیت NOR کوچکتر از XOR است. پس بهتر است که مدار را با NOR بسازیم تا کم شود. کم کردن هریک از توان‌ها (به هر شکل حتی طراحی مدار) توان کل را کم می‌کند. توان دینامیکی ۹۰ درصد توان مصرفی را شامل می‌شود. بنابراین کاهش α باعث کاهش توان کل نیز خواهد شد.

مثال: مدار زیر را در نظر بگیرید:



OR

A	B	X, Y
0	0	0
0	1	1
1	0	1
1	1	1

احتمال اینکه X یا Y برابر یک باشد:

$$P(X=1) = P(Y=1) = \frac{3}{4}$$

$$P_{X\,0\to1} = P_{Y\,0\to1} = P(out=0)\times P(out=1) = \frac{1}{4}\times\frac{3}{4} = \frac{3}{16}$$

Sunwood

احتمال اینکه خروجی X یا Y از صفر به یک برسد

احتمال اینکه Z=1 باشد، هم باید X=1 و هم Y=1 یعنی:

$$P(z=1) = P(x=1) \cdot P(y=1) = \frac{3}{4} \times \frac{3}{4} = \frac{9}{16}$$

$$\rightarrow \alpha_z = \alpha_{z:0\to1} = P(z=0) \cdot P(z=1) = (1-\frac{9}{16})(\frac{9}{16}) = \frac{42}{256}$$

$$\simeq 0.16$$

بنابراین وقتی گیتها زیاد می‌شوند باید از ورودی به خروجی حرکت کنیم و P کل را حساب کنیم

برای مدار گیت دینامیکی چون در فاز پیش‌شارژ همیشه مدار را پیش‌شارژ می‌کردیم بنابراین

احتمال اینکه خروجی در این مدار ۱ باشد برابر با ۱ خواهد بود بنابراین

ضریب فعالیت در این گیتها افزایش پیدا می‌کند

مثلاً برای NOR دینامیکی خواهیم داشت:

$$\alpha = P(out=0) \cdot P(out=1) = \frac{3}{4} \times 1 = \frac{3}{4}$$

بقیه توان‌های مصرفی:

توان short circuit:

این توان مربوط به این است که ورودی مدار ما همیشه از منبع گرفته می‌شود

و از یک مدار مشابه خودش معمولاً گرفته می‌شود

Subject: VLSI

Year. 9C Month. 9 Date. ۲۱ (۲۲۸

یعنی مدار با یک تأخیر یک، صفر می‌شود. وقتی ورودی (خروجی مدار قبل) افزایش می‌یابد تا به سطح V_T ترانزیستور NMOS می‌رسد ترانزیستور روشن می‌شود و ترانزیستور PMOS به سرعت خاموش می‌شود. بنابراین در یک بازه زمانی کوتاه V_{DD} به زمین متصل شده و یک جریان می‌گذرد (هر دو ترانزیستور روشن هستند). این توان اتصال کوتاه به صورت روبرو است $P_{SC} = V_{DD} \cdot I_{SC}$

توان اتصال کوتاه حدود 8٪ مصرف توان را شامل می‌شود.

برای کاهش این توان باید سر تأخیر ورودی‌ها زیاد شود و t_{fall}، t_{rise} را کم کنیم.

برای کم کردن توان می‌توان ضریب فعالیت را کم نمود، فرکانس را پایین بیاوریم، خازن بار را کم کنیم، سوئینگ را کوچک کنیم، ولتاژ تغذیه را کم کنیم

که با کم کردن موارد بالا یک سری مشکل بوجود می‌آید.

مثلاً برای کاهش تغذیه باید ولتاژ آستانه را هم تغییر دهیم زیرا برای ولتاژهای کمتر از ۰.۶ ولت، ولتاژ آستانه باید کمتر از ۰.۱ ولت باشد که اینکار با تغییر تکنولوژی درست می‌آید

با کم کردن ولتاژ، خازن با سرعت کمتری شارژ می‌شود پس تأخیر زیاد می‌شود. پس باید فاکتور PDP را در نظر گیریم.

Sunwood

Subject: VLSI

Year. 95 Month. 9 Date. 21 ۴۲۹

توان leakage تشتی.

نگ این توان حدود 2٪ توان را تشکیل می دهد.

$$P_{leak} = I_{leak} \times V_{DD}$$

این توان در هنگامی که ابعاد ترانزیستور کم، ولتاژ کم، اهمیت پیدا می کند.

این توان ناشی از جریان تشتی ترانزیستور در هنگام خاموش بودن ترانزیستور می باشد.

برای امتحان یک برگ A4 همراه آورده شود.